



TVSダイオードの性能を最大限に高めるPCB設計ガイドライン

APPLICATION NOTE

はじめに

過渡電圧サプレッサ(TVS)アバランシェ・ダイオードおよびダイオード・アレイを使用すると、ESDやEMIによって引き起こされるサージ・パルスから敏感な電子部品を保護できます。TVSダイオードには、小型サイズ、高速応答時間、低クランプ電圧、低コストという特長があり、サージの問題を防止する効果的なソリューションを実現できます。アバランシェTVSダイオードとダイオード・アレイは、サージ電圧を抑制する目的で比較的簡易に使用できるデバイスです。ESDとEMIに対する保護回路の耐性レベルを最適化できるように、PCB設計に関する少数のルールに従う必要があります。

うに、時間と費用を節約できます。これはシンプルな概念ですが、多くの場合は認定試験やフィールドで障害が発生するまで、サージ問題の検出や対策は実施されません。PCBにTVSによる保護を追加すると、シールドの追加やケーブルの変更を行う場合に比べて、時間と費用を節約できます。製品開発サイクルの終盤になってEMI問題が発生したとき必要になる場合が多い、高額なシステム修正の必要性を低減する、低コストの予防ツールとしてTVSデバイスを活用できます。

保護の考え方

プロジェクトの開始段階でEMIとESDに対する保護を考慮して設計を行うと、Figure 1に対比を示すよ

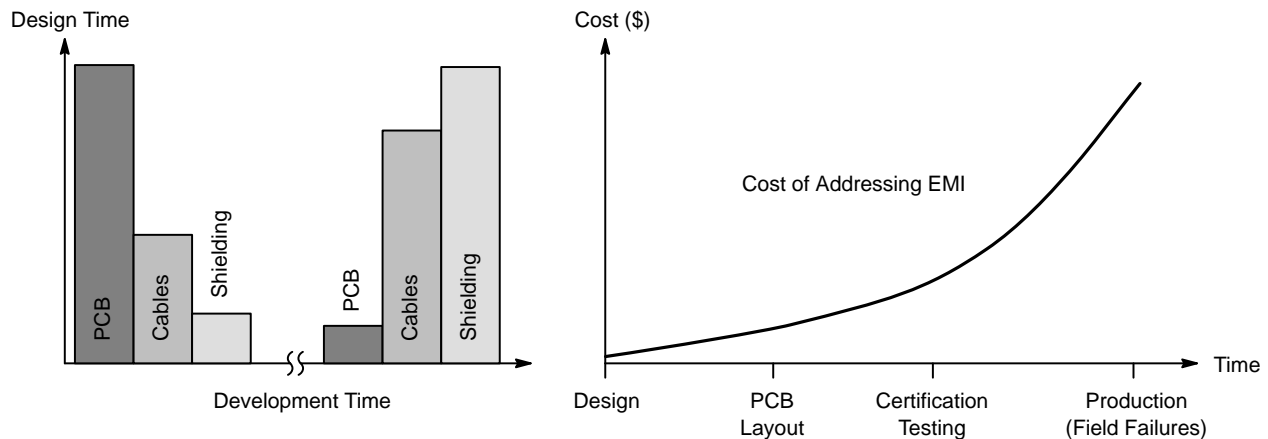


Figure 1. Addressing Potential EMI Problems at the Beginning of a Design Saves both Time and Money

PCBレイアウトのガイドライン

PCBレイアウトは、効果的なサージ抑制回路を作成するための重要な要因です。TVSデバイスの性能を強化するために、以下のPCBガイドラインが推奨されます。

- I/Oコネクタの近くにTVSデバイスを配置する
- サージ保護回路を、シャーシ・グラウンドまたは電源グラウンドに接続する
- PCBの寄生インダクタンスを最小化する
- PCBのトレースによって形成されるループの面積を小さくする
- 表面実装TVSデバイスを選択する

配置場所

PCB上の保護デバイスの配置場所は、従うべき設計ルールの中で最も簡潔かつ重要なものです。TVSデバイスはノイズ発生源のできるだけ近くに配置する必要があります。ほとんどのシステムで、サージ・パルスはデータ・ラインと電源ラインで発生し、I/Oコネクタを経由してPCBに入り込みます。Figure 2に、TVSデバイスをコネクタ近くに配置した推奨レイアウト例を示します。

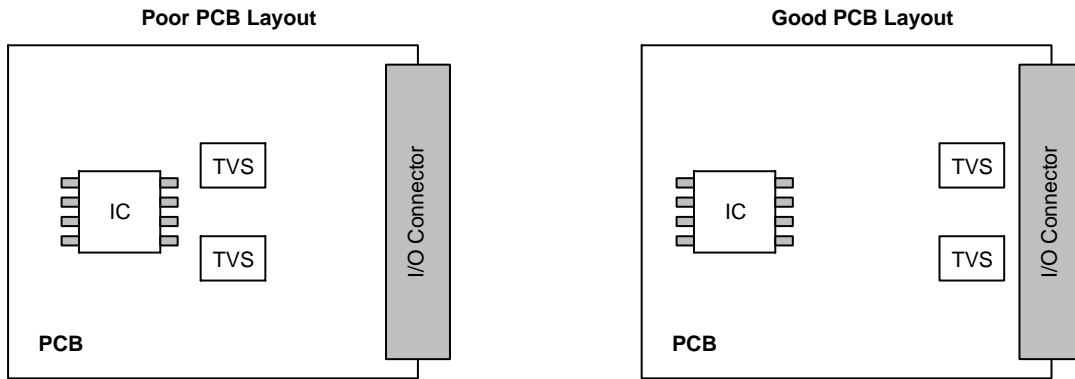


Figure 2. Locating the TVS Devices Close to the I/O Connector Ensures that a Surge Voltage Entering the PCB will be Clamped before the Pulse can be Coupled into Adjacent Traces

TVSデバイス、IC、I/Oコネクタを接続するトレース長は、サージ電流がTVSデバイスとIC内部のESD保護回路のどちらで消費されるかを決定する重要な要因です。TVSダイオードとIC内部の保護回路でターンオン電圧が同程度の場合、これらのデバイス間で唯一の違いは、各PCBトレースに起因するインピーダンスのみです。サージ電流は常にインピーダンスが最小の経路を流れるので、Figure 3に示すようにTVSはICより短いトレースで配置する必要があります。トレース長が短いほどインピーダンスが小さくなり、サージ・エネルギーはICではなくTVSデバイスで消費されるようになります。

サージ電流は常にインピーダンスが最小の経路を流れるので、Figure 3に示すようにTVSはICより短いトレースで配置する必要があります。トレース長が短いほどインピーダンスが小さくなり、サージ・エネルギーはICではなくTVSデバイスで消費されるようになります。

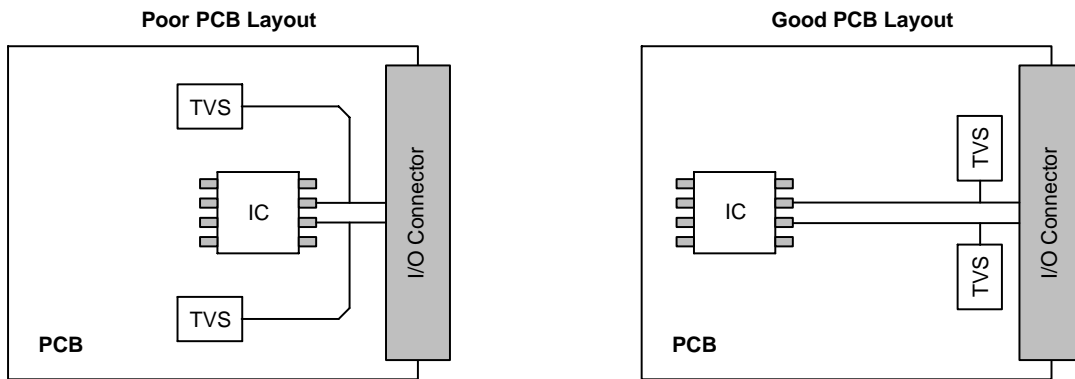


Figure 3. The Length of the Trace Connecting the TVS Device to the I/O Connector should be Minimized and Small in Comparison with the Trace between the Connector and IC

敏感なトレースをPCBの端ではなく中心部に配置することによっても、EMI保護の目的を達成できます。PCBの端にあるトレースは、取扱時に発生する可能性があるESDのようなサージの影響を受けやす

くなります。例えば、マイクロプロセッサ・ボードのクロック・トレースやリセット・トレースは、保護強化のために、Figure 4のようにPCBの中心部に配置することができます。

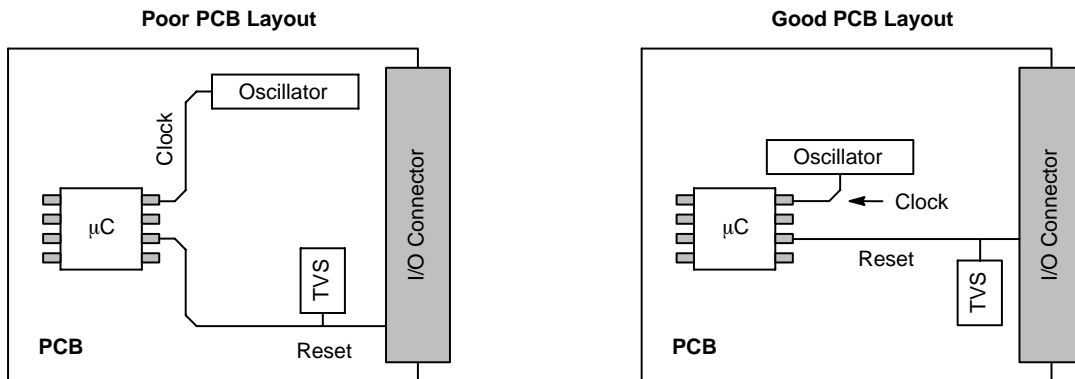


Figure 4. A Good PCB Layout Avoids Locating Critical Signal Lines Near the Edge of the PCB

グラウンドの選択

可能な場合は、Figure 5に示すように、保護回路を基準グラウンドまたはシャーシ・グラウンドにしてください。サージ電圧がトランシーバの信号グラウンドに到達する経路を設けると、グラウンド変動が発生する

おそれがあります。単一グラウンドのみ使用するPCB上のTVSダイオードのクランプ性能は、比較的太くて短い「スタブ」トレースを使用して、グラウンド接続インピーダンスを最小化すれば改善できます。

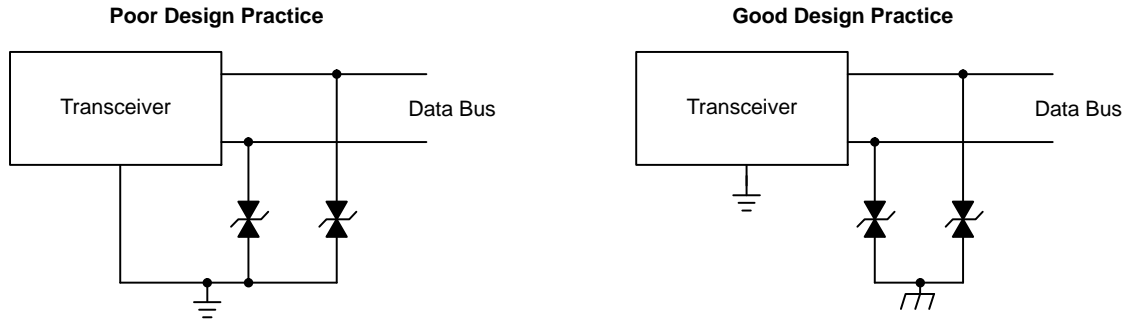


Figure 5. Connecting the TVS Devices to Either Chassis or Power Ground Helps to Prevent the Noise Signal from being Coupled into the Protected IC's Signal Ground

寄生インダクタンス

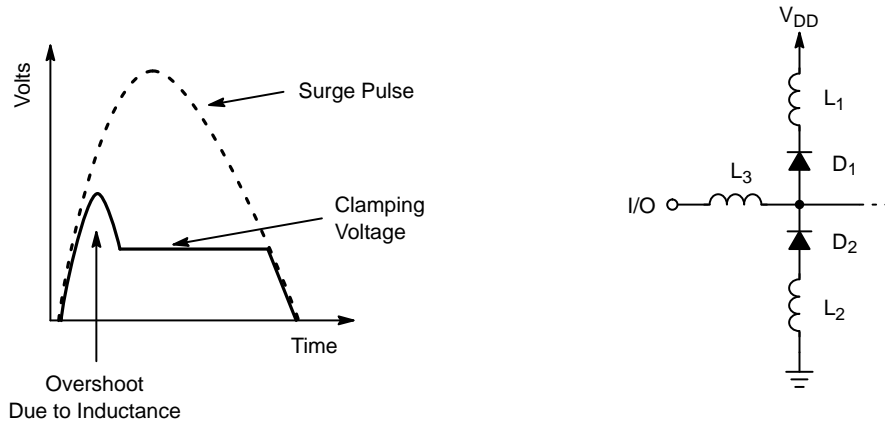


Figure 6. The PCB Layout and IC Package Parasitic Inductances Create a Short Duration Voltage Spike that Increases the Clamping Voltage of a TVS Device

PCBトレースとICパッケージで形成される寄生インダクタンスは、Figure 6に示すように、TVSのクランプ電圧に大きなオーバーシュートを引き起こすおそれがあります。トレース長が短く、別々のグラウンド・プレーンと電源プレーンを備えた多層基板を使用

すると、PCBのインダクタンスを低減できます。小型表面実装パッケージを選択すると、パッケージで形成されるインダクタンスを最小化できます。ダイオード・アレイに対するインダクタンス項を含むクランプ式を以下に示します。

$$\text{if } L_1 = L_2 = L_3 = 0$$

$$V_{\text{Peak_Positive_Surge}} = V_{\text{DD}} + V_{\text{F_D1}}$$

$$V_{\text{Peak_Negative_Surge}} = -V_{\text{F_D2}}$$

$$\text{if } L_1, L_2, \text{ and } L_3 \neq 0$$

$$V_{\text{Peak_Positive_Surge}} = V_{\text{DD}} + V_{\text{F_D1}} + \left(L_1 \times \frac{dI_{\text{Surge}}}{dt} \right) + \left(L_3 \times \frac{dI_{\text{Surge}}}{dt} \right)$$

$$V_{\text{Peak_Negative_Surge}} = - \left[V_{\text{F_D2}} + \left(L_2 \times \frac{dI_{\text{Surge}}}{dt} \right) + \left(L_3 \times \frac{dI_{\text{Surge}}}{dt} \right) \right]$$

ループ面積

高速データ・ラインとグラウンド・ラインで形成されるループ面積を最小化することにより、放射エミッションとRFに対する感受性を低減できます。ループ問題を最小化する効果的な方法の1つは、PCB設計

でグラウンド・プレーンを採用することです。この方法はトレースが比較的長いときに特に有効です。TVSデバイスとICの距離を大きくすると分離効果が得られますが、Figure 7に示すようにループ面積が大きくなる可能性があります。

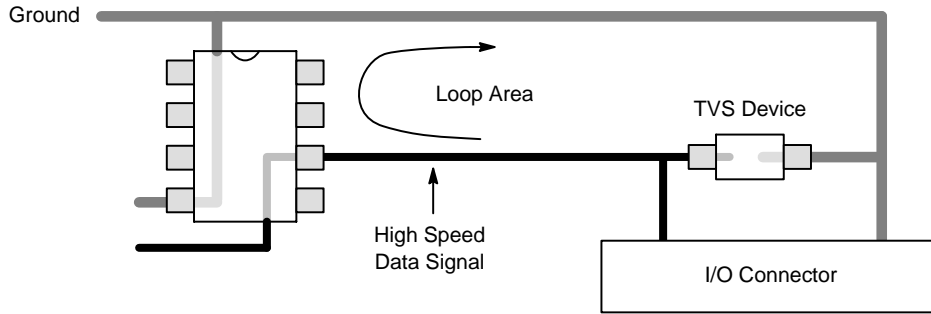


Figure 7. The Data and Ground Traces can Form a Loop that Functions as an Unintended Antenna and Increases the RF Susceptibility and Emissions of the PCB

パッケージの選択

表面実装ICは小型サイズなので、サージ抑制およびEMIフィルタ・デバイスにとって有利です。インダクタンスが大きくなると、TVSデバイスのクランプ電圧が高くなり、EMIフィルタの高周波特性が劣

化します。TVSダイオードのインダクタンスはICのサイズに比例します。したがって一般的に、Figure 8に示すように、小型表面実装パッケージの方が、大型リード付きパッケージよりもEMI特性が優れています。

Surge Suppression and EMI Characteristics

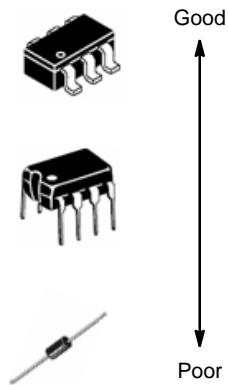


Figure 8. Surface Mount TVS Devices have Better Surge Suppression and High Frequency Characteristics than Leaded Packages

AND8232/D

参考資料

- [1] -, “AP-209 – Design Considerations for ESD Protection Using ESD Protection Diode Arrays”, California Micro Devices, 1998.
- [2] -, “Application Note 0007 – TVS Device Selection, Location & Connection for EMC Design”, Protek, 1997.
- [3] -, “SI99-01 – PCB Design Guidelines for ESD Suppression”, Semtech, 2002.
- [4] Lepkowski, J., “AND8231 – Circuit Configuration Options for Transient Voltage Suppression Diodes”, ON Semiconductor, 2005.
- [5] Lepkowski, J., “AND8230 – Application Hints for Transient Voltage Suppression Diode Circuits”, ON Semiconductor, 2005.

ON Semiconductor及びONのロゴはSemiconductor Components Industries, LLC (SCILLC) 若しくはその子会社の米国及び/または他の国における登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許諾しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。

PUBLICATION ORDERING INFORMATION

LITERATURE FULFILLMENT:

Literature Distribution Center for ON Semiconductor
19521 E. 32nd Pkwy, Aurora, Colorado 80011 USA
Phone: 303-675-2175 or 800-344-3860 Toll Free USA/Canada
Fax: 303-675-2176 or 800-344-3867 Toll Free USA/Canada
Email: orderlit@onsemi.com

N. American Technical Support: 800-282-9855 Toll Free
USA/Canada
Europe, Middle East and Africa Technical Support:
Phone: 421 33 790 2910
Japan Customer Focus Center
Phone: 81-3-5817-1050

ON Semiconductor Website: www.onsemi.com
Order Literature: <http://www.onsemi.com/orderlit>

For additional information, please contact your local Sales Representative