

# LC786965UW

## コンパクトディスクプレーヤ用 1チップデジタル信号処理 LSI

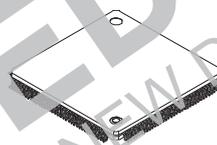


ON Semiconductor®

www.onsemi.jp

### 概要

LC786965UWは、ARM7TDMI-S™を搭載し、CDサーボ/信号処理、圧縮オーディオコード処理、オーディオ処理を1chipで実現するLSIである。さらに周辺との各種インターフェイス機能 (SIO, UART等)を内蔵することで、多機能化するメインマイコンの処理を軽減し、最小限の外付部品で高性能・高機能なCDプレーヤシステムが構築可能である。



### 特長

- CD-DA/R/RW用のRF信号処理、サーボ処理、EFM信号処理アンチショック制御処理を内蔵
- MP3\*, WMA\*, AAC\*のデコード処理を内蔵
- Sampling Rate Converterを含む各種オーディオ処理を内蔵
- ARM7をCPUコアとしプログラムコードはマスクROM仕様
- メインマイコンとの通信はSIO/I<sup>2</sup>Cのいずれかが選択可能

SPOFP144 20x20 / SQFP144

### アプリケーション

- Car Navigation
- Car Audio
- Home Audio System
- Mobile CD system

ARM®

- \* MP3  
MPEG Layer-3 Audio Coding
- \* WMA  
Windows Media Audio
- \* AAC  
Advanced Audio Coding

■機能詳細

【CD-DSP 機能】

<再生機能>

- ・ CLV 再生/ジッタフリー再生 (VCEC)
- ・ 再生スピード：1 倍速, 2 倍速, 4 倍速

<RF 処理部>

- ・ RF 系：AGC, CD-R, R/W 再生対応, ピークホールド, ボトムホールド
- ・ エラー系：TE 信号生成, FE 信号生成
- ・ 検出：トラックカウント用信号, ジッタ, 傷 (ブラック, ミラー)
- ・ レーザパワー制御
- ・ DC オフセット電圧キャンセル

<サーボ制御部>

- ・ トラッキング, フォーカス, スレッド, スピンドルの全てのサーボをデジタル処理
- ・ 自動調整機能：フォーカスゲイン, フォーカスバイアス, フォーカスオフセット  
トラッキングゲイン, トラッキングオフセット, トラッキングバランス
- ・ ショック検出/インターラプション検出

<CD 信号処理部>

- ・ EFM 信号の同期検出, 保護, 内挿
- ・ 誤り検出, 訂正 (C1=2 重, C2=4 重/2 重)
- ・ ジッターマージン±19 フレーム

<CD-TEXT 処理部>

- ・ SDRAM 上の任意の領域へ CDTEXT データのバッファリング対応
- ・ CDTEXT の任意の ID3/ID4 からのバッファリング開始対応

<CDDA アンチショック処理部>

- ・ SDRAM によるアンチショック制御  
16Mbit で最大約 10 秒, 64Mbit で最大約 40 秒

<CDROM 処理部>

- ・ CDROM モード 1/モード 2<Form1, 2> デコード対応
- ・ CDROM デコードデータの外部出力対応

【圧縮オーディオデコード機能】

<デコード処理部>

- ・ MP3 デコード . . . . . ISO/IEC 11172-3, ISO/IEC 13818-3 に準拠  

対応サンプリング周波数	MPEG1-Layer1/2/3 (32kHz, 44.1kHz, 48kHz)
	MPEG2-Layer1/2/3 (16kHz, 22.05kHz, 24kHz)
	MPEG2.5-Layer3 (8kHz, 11.025kHz, 12kHz)
対応ビットレート	VBR 含む全ビットレートに対応
MPEG ヘッダ読出し対応	
- ・ WMA デコード . . . . . WMA Ver.9 Standard 準拠  

対応サンプリング周波数	8kHz, 11.025kHz, 16kHz, 22.05kHz, 32kHz, 44.1kHz, 48kHz
対応ビットレート	5k~384kbps (VBR 対応)
- ・ AAC デコード . . . . . ISO/IEC 14496-3, 13818-7 準拠  

対応プロファイル	MPEG4-AAC-LC (Low Complexity)
対応サンプリング周波数	8kHz, 11.025kHz, 12kHz, 16kHz, 22.05kHz, 24kHz, 32kHz, 44.1kHz, 48kHz
対応ビットレート	モノラル：8k~160kbps (VBR 対応) ステレオ：16k~320kbps (VBR 対応)

【オーディオ処理機能】

<オーディオデータ処理部>

- ・圧縮オーディオ再生時のサンプリングレートコンバータ( $F_s=44.1\text{kHz}$  変換)機能
- ・補間 (CDDA のみ)、ミュート( $-\infty/-12\text{dB}$ )、アッテネータ、ディエンファシスフィルタ機能
- ・バイリンガル、バスブースト処理機能
- ・デジタルアウト出力対応

<出力形式>

- ・オーディオデータ (各種処理後) の各フォーマットでの外部出力に対応  
IIS(48fs/64fs)、MSB ファースト右詰(32fs/48fs/64fs)、有効データ長 16bit

【内蔵マイコン機能】

<シーケンサ制御>

- ・CD 再生制御  
サーボ制御、CD アンチショック再生制御、CDROM ファイル解析等

<メインマイコン通信制御>

- ・通信フォーマットは、I<sup>2</sup>C/SIO の選択が可能

<周辺インターフェース部>

- ・汎用入出力ポート 20 本 (他の機能と兼用)
- ・外部割込み端子 4 本 (他の機能と兼用)
- ・シリアルインターフェース
 

SIO	クロック同期 3 線式全二重タイプ	1ch
UART	全二重タイプ	1ch

<プログラムメモリ部>

- ・マスク ROM(256kB)搭載
- ・ROM コレクト機能を搭載し、メインマイコンによるプログラムの部分変更に対応

<その他>

- ・システムクロック  
使用する発振子は 16.9344MHz のみ。
- ・ウォッチドッグタイマ  
外部通知(端子出力) もしくは 内部リセット
- ・パワーマネージメント  
2 種類のスリープモード
  - ①各種モジュールクロック停止と、CPU コアのみ低速クロック動作
  - ②メインマイコン制御によるクロック全停止

【その他】

<外部メモリ>

- ・対応 SDRAM (16M/64Mbit, データ幅 16bit, CAS レイテンシ=2, バースト長=Full)  
CDDA アンチショック/CDROM デコード等に使用

<内部電源>

内部電源( $V_{DD}=1.2\text{V}$ )用レギュレータ内蔵

■参考回路例

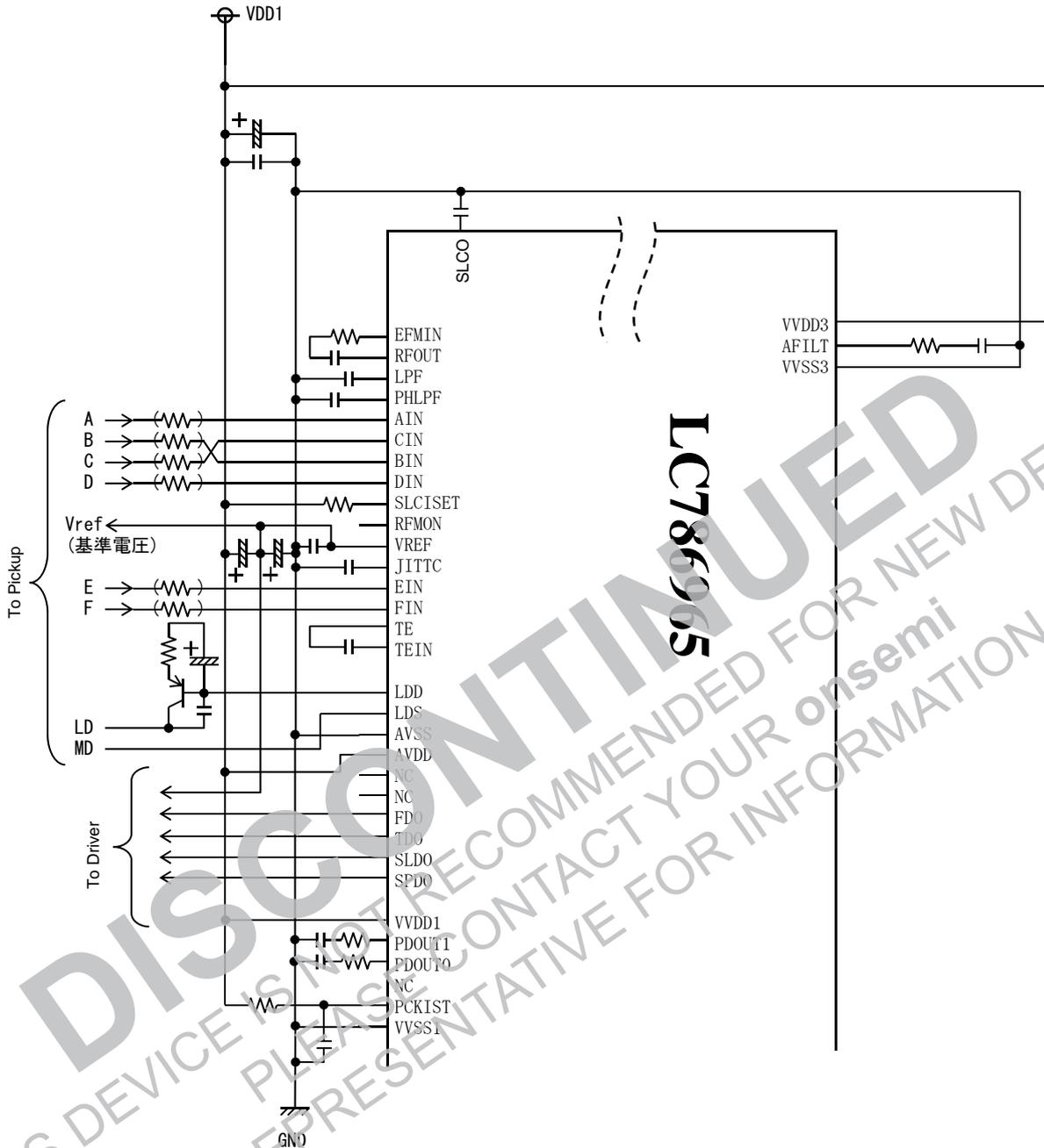


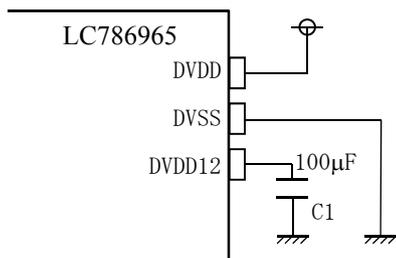
Figure 1. Application Schematic (CD Servo / PLL)

※CD サーボ周辺、各種 PLL についての参考回路例である。

各部品の数値については、組合せによる調整が必要である。

また、CD サーボ周辺回路に関しては、仕様する CD メカとの組み合わせにより回路構成が変更となる場合があるので注意すること。

## LC786965UW



※DVDD12 端子 2 箇所 (Pin No.58, 124)で同じ処理をすること。

※C1 は発振止めコンデンサである。

温度変化などにより容量値が変化すると発振の可能性があるため、動作温度範囲においては、低 ESR、かつ、容量値は 50µF 以上を確保すること。(推奨は 100µF)

Figure 2. Application Schematic (Regulator)

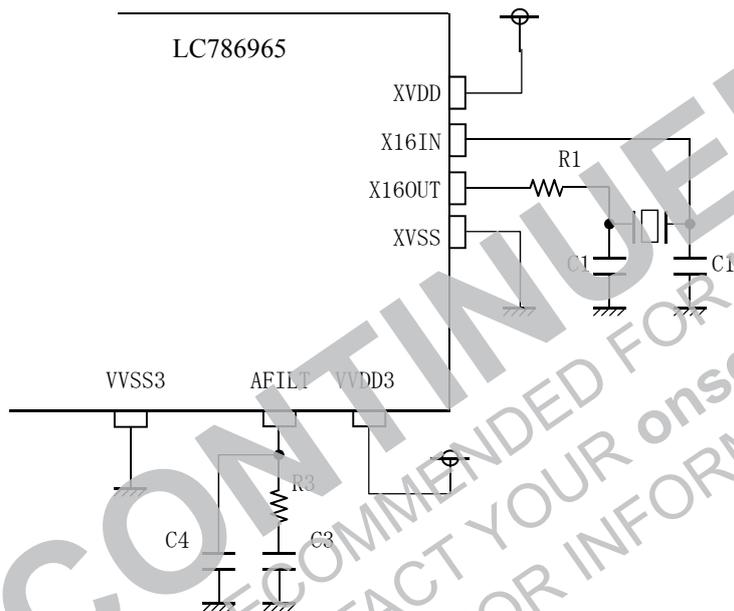


Figure 3. Application Schematic (oscillator / PLL)

## LC786965UW

◇X16IN/X16OUT 接続発振子 : 16.9344MHz

・推奨発振子

(株)日本電波工業

型番	推奨定数
AT51-CD2	R1=0Ω, C1=8pF

(株)村田製作所

型番	推奨定数
CSTCE16M9V53-R0	R1=0Ω, C1=不要
CSTCW16M9X51008-R0	R1=0Ω, C1=不要
CSTLS16M9X53-B0	R1=0Ω, C1=不要

※いずれも、容量内蔵タイプ。

◇PLL : AFILT 端子外付け定数

推奨値は以下の通り。

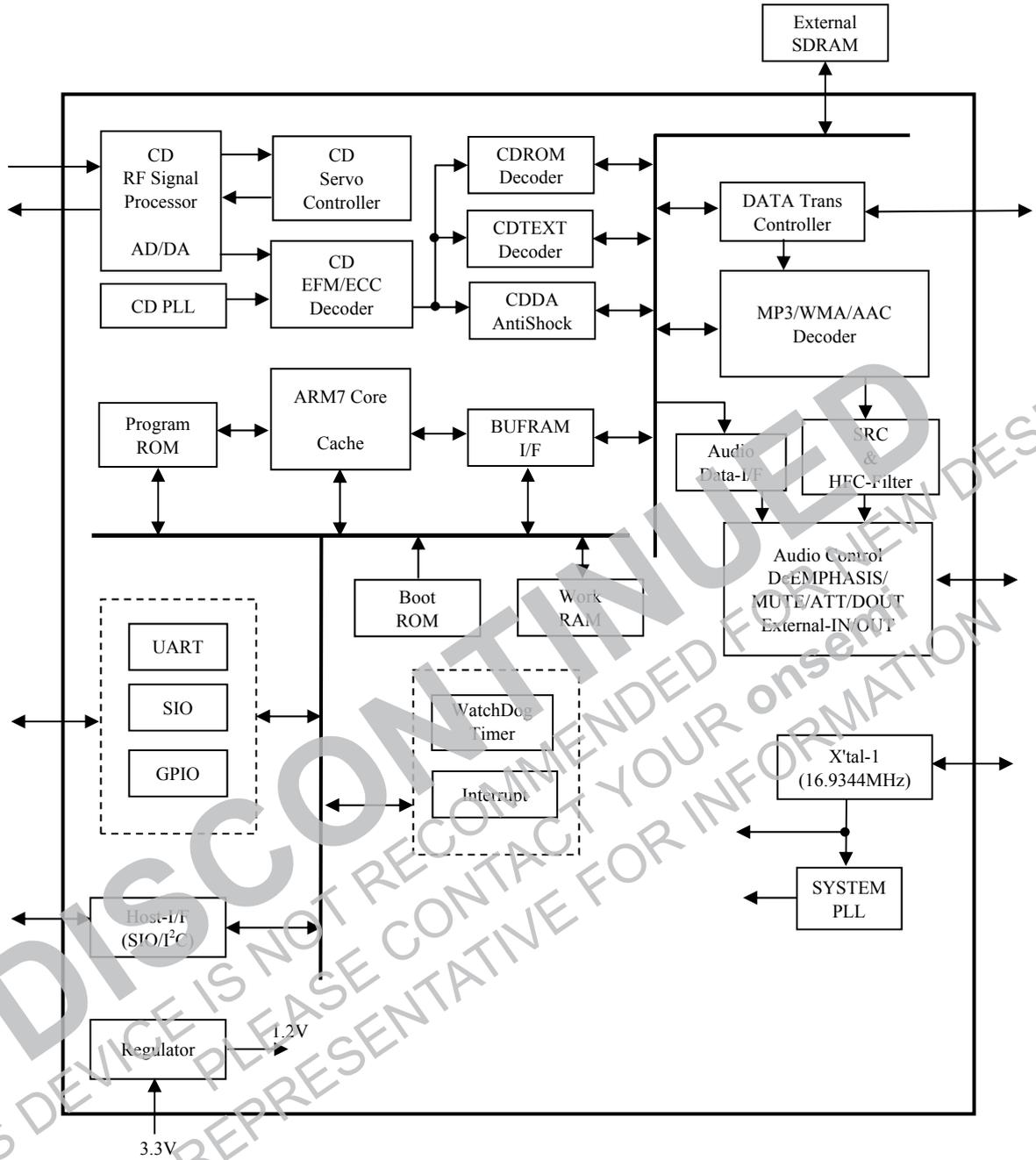
R3=3.3(kΩ), C3=0.1(μF), C4=1000(pF)

<注意>

- ・発振回路特性はセット基板によって変わる可能性があるため、使用する発振子メーカーに問い合わせの上、上記各定数を決定すること。
- ・ノイズ等による発振クロックの乱れは誤動作の原因となる。これを防ぐために、発振回路やPLLのフィルタ回路を構成する抵抗、コンデンサ等の部品はできる限り接続端子近傍に配置し、配線長も最短となるよう考慮すること。  
また、温度変化などにより外付け定数が変化すると、LSI内部のシステムクロックに乱れが生じ、本LSIのシステム動作が不安定になる可能性があるため、動作温度保証範囲においてはできる限り回路定数が変化しないよう、部品選定には注意すること。
- ・X16IN/X16OUT、及びAFILTの内部構成については、「アナログ端子内部等価回路」の章を参照のこと。

# LC786965UW

## ■ブロック図



# LC786965UW

## 端子配置图

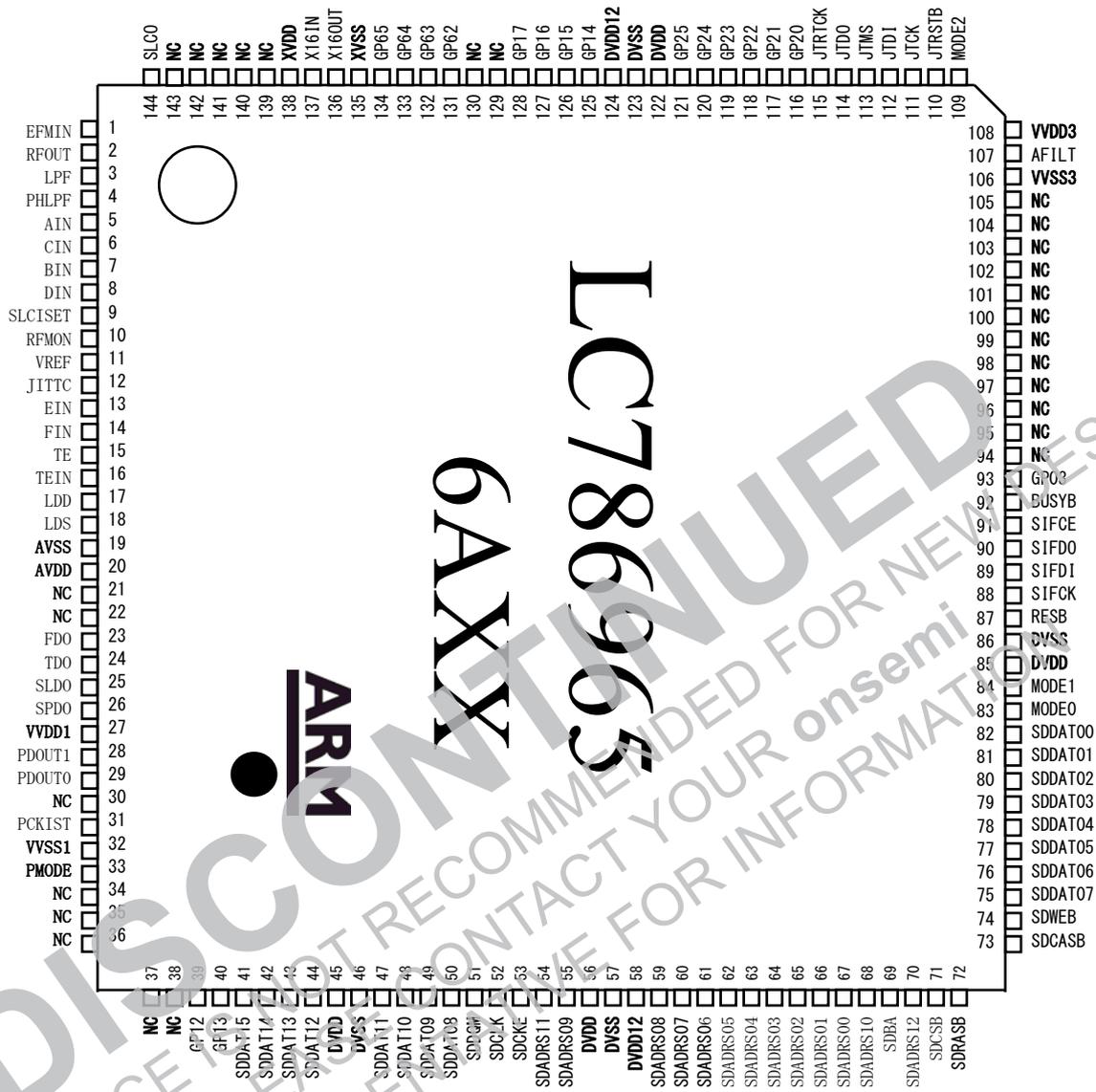


图 1. 端子配置图 (TOP View)

## ■端子機能説明

端子 No.	端子名	I/O 形式	リセット 状態	機 能 説 明
1	EFMIN	AI	入力	RF信号入力
2	RFOUT	AO	不定	RF信号出力
3	LPF	AO	不定	RF信号DCレベル検出用LPFコンデンサ接続
4	PHLPF	AO	不定	傷検出用LPFコンデンサ接続
5	AIN	AI	入力	A信号入力
6	CIN	AI	入力	C信号入力
7	BIN	AI	入力	B信号入力
8	DIN	AI	入力	D信号入力
9	SLCISSET	AI	入力	SLCO出力の電流設定用抵抗接続
10	RFMON	AO	不定	LSI内部アナログ信号モニタ出力1
11	VREF	AO	AVDD/2	RF用リファレンス電圧出力
12	JITTC	AO	不定	ジッタ検出用コンデンサ接続
13	EIN	AI	入力	E信号入力
14	FIN	AI	入力	F信号入力
15	TE	AO	不定	TE信号出力
16	TEIN	AI	入力	TES信号生成用TE信号入力
17	LDD	AO	不定	レーザパワー制御信号出力
18	LDS	AI	入力	レーザパワー検出信号入力
19	AVSS	—	—	アナログ用接地端子 (必ず0Vに接続すること)
20	AVDD	—	—	アナログ用電源端子
21	NC	—	—	NCピン(オープン処理)
22	NC	—	—	NCピン(オープン処理)
23	FDO	AO	AVDD/2	フォーカス制御信号出力
24	TDO	AO	AVDD/2	トラッキング制御信号出力
25	SLDO	AO	AVDD/2	スレッド制御信号出力
26	SPDO	AO	AVDD/2	スピンドル制御信号出力
27	VVDD1	—	—	CD PLL用電源端子
28	PDOUT1	AO	不定	CD PLL用チャージポンプ出力1
29	PDOUT0	AO	不定	CD PLL用チャージポンプ出力0
30	NC	—	—	NCピン(オープン処理)
31	PCKIST	AI	入力	CD PLL用チャージポンプ電流量設定用抵抗接続
32	VVSS1	—	—	CD PLL用接地端子 (必ず0Vに接続すること)
33	PMODE	I	入力	モード設定 (必ず”H”設定すること)
34	NC	—	—	NCピン(オープン処理)
35	NC	—	—	NCピン(オープン処理)
36	NC	—	—	NCピン(オープン処理)
37	NC	—	—	NCピン(オープン処理)
38	NC	—	—	NCピン(オープン処理)
39	GP12	I/O	入力(L)	プルダウン抵抗付き汎用入出力ポート クロック制御用入力1 ウォッチドッグタイマ状態モニタ出力
40	GP13	I/O	入力(L)	プルダウン抵抗付き汎用入出力ポート クロック制御用入力2 ウォッチドッグタイマ状態モニタ出力 SDRAM 下位byteデータマスク制御出力 64Mbit-SDRAM使用時：SDRAM-DQML(LDQM)端子接続
41	SDDAT15	I/O	入力(L)	SDRAM データ入出力15 (プルダウン抵抗付)
42	SDDAT14	I/O	入力(L)	SDRAM データ入出力14 (プルダウン抵抗付)

# LC786965UW

端子 No.	端子名	I/O 形式	リセット 状態	機能説明
43	SDDAT13	I/O	入力(L)	SDRAM データ入出力13 (プルダウン抵抗付)
44	SDDAT12	I/O	入力(L)	SDRAM データ入出力12 (プルダウン抵抗付)
45	DVDD	—	—	デジタル系電源端子
46	DVSS	—	—	デジタル系接地端子 (必ず0Vに接続すること)
47	SDDAT11	I/O	入力(L)	SDRAM データ入出力11 (プルダウン抵抗付)
48	SDDAT10	I/O	入力(L)	SDRAM データ入出力10 (プルダウン抵抗付)
49	SDDAT09	I/O	入力(L)	SDRAM データ入出力9 (プルダウン抵抗付)
50	SDDAT08	I/O	入力(L)	SDRAM データ入出力8 (プルダウン抵抗付)
51	SDDQM	O	L	SDRAM データマスク制御出力 16M/64Mbit-SDRAM共通：SDRAM-DQMH(UDQM)端子接続
52	SDCLK	O	L	SDRAM クロック出力
53	SDCKE	O	L	SDRAM クロックイネーブル出力
54	SDADRS11	O	L	SDRAM アドレス出力11 16Mbit-SDRAM使用時：未使用(NC) 64Mbit-SDRAM使用時：SDRAM-ADRS11端子接続
55	SDADRS09	O	L	SDRAM アドレス出力9
56	DVDD	—	—	デジタル系電源端子
57	DVSS	—	—	デジタル系接地端子 (必ず0Vに接続すること)
58	DVDD12	AO	H	内蔵レギュレータ用コンデンサ接続端子
59	SDADRS08	O	L	SDRAM アドレス出力8
60	SDADRS07	O	L	SDRAM アドレス出力7
61	SDADRS06	O	L	SDRAM アドレス出力6
62	SDADRS05	O	L	SDRAM アドレス出力5
63	SDADRS04	O	L	SDRAM アドレス出力4
64	SDADRS03	O	L	SDRAM アドレス出力3
65	SDADRS02	O	L	SDRAM アドレス出力2
66	SDADRS01	O	L	SDRAM アドレス出力1
67	SDADRS00	O	L	SDRAM アドレス出力0
68	SDADRS10	O	L	SDRAM アドレス出力10
69	SDBA	O	L	SDRAM バンク選択アドレス出力 16Mbit-SDRAM使用時：SDRAM-BANK端子接続 64Mbit-SDRAM使用時：SDRAM-BANK1端子接続
70	SDADRS12	O	L	SDRAM アドレス出力12 16Mbit-SDRAM使用時： SDRAM-DQML(LDQM)端子接続 64Mbit-SDRAM使用時：SDRAM-BANK0端子接続
71	SDCSB	O	L	SDRAM チップセレクト出力
72	SDRASB	O	L	SDRAM ロウアドレスストロープ出力
73	SDCASB	O	L	SDRAM カラムアドレスストロープ出力
74	SDWEB	O	L	SDRAM ライトイネーブル出力
75	SDDAT07	I/O	入力(L)	SDRAM データ入出力7 (プルダウン抵抗付)
76	SDDAT06	I/O	入力(L)	SDRAM データ入出力6 (プルダウン抵抗付)
77	SDDAT05	I/O	入力(L)	SDRAM データ入出力5 (プルダウン抵抗付)
78	SDDAT04	I/O	入力(L)	SDRAM データ入出力4 (プルダウン抵抗付)
79	SDDAT03	I/O	入力(L)	SDRAM データ入出力3 (プルダウン抵抗付)
80	SDDAT02	I/O	入力(L)	SDRAM データ入出力2 (プルダウン抵抗付)
81	SDDAT01	I/O	入力(L)	SDRAM データ入出力1 (プルダウン抵抗付)
82	SDDAT00	I/O	入力(L)	SDRAM データ入出力0 (プルダウン抵抗付)
83	MODE0	I	入力	LSI動作モード設定端子0 (必ず0Vに接続すること)
84	MODE1	I	入力	LSI動作モード設定端子1 (必ず0Vに接続すること)
85	DVDD	—	—	デジタル系電源端子

## LC786965UW

端子 No.	端子名	I/O 形式	リセット 状態	機 能 説 明
86	DVSS	—	—	デジタル系接地端子 (必ず0Vに接続すること)
87	RESB	I	—	リセット入力 ("L"-active) 電源投入時、必ず"L"にすること
88	SIFCK	I	入力	ホスト-I/F シリアル通信1用データ転送クロック入力 I <sup>2</sup> C通信用データ転送クロック入力
89	SIFDI	I/O	入力	ホスト-I/F シリアル通信1用データ入力 I <sup>2</sup> C通信用データ入出力
90	SIFDO	I/O	入力	ホスト-I/F シリアル通信1用データ出力 (CMOS or 3-State 出力対応) プルダウン抵抗付き汎用入出力ポート(GP00)
91	SIFCE	I/O	入力	ホスト-I/F シリアル通信1用イネーブル信号入力 ("H"-active) プルダウン抵抗付き汎用入出力ポート(GP01)
92	BUSYB	I/O	入力(L)	ホスト-I/F システムビジー信号出力 ("L"-active) プルダウン抵抗付き汎用入出力ポート(GP02) 外部割込み機能0
93	GP03	I/O	入力(L)	プルダウン抵抗付き汎用入出力ポート ウォッチドッグタイム状態モニタ出力 外部割込み機能1
94	NC	—	—	NCピン (オープン処理)
95	NC	—	—	NCピン (オープン処理)
96	NC	—	—	NCピン (オープン処理)
97	NC	—	—	NCピン (オープン処理)
98	NC	—	—	NCピン (オープン処理)
99	NC	—	—	NCピン (オープン処理)
100	NC	—	—	NCピン (オープン処理)
101	NC	—	—	NCピン (オープン処理)
102	NC	—	—	NCピン (オープン処理)
103	NC	—	—	NCピン (オープン処理)
104	NC	—	—	NCピン (オープン処理)
105	NC	—	—	NCピン (オープン処理)
106	VVSS3	—	—	SYSTEM PLL用接地端子 (必ず0Vに接続すること)
107	AFILT	AO	不定	SYSTEM PLL用チャージポンプ出力
108	VVDD3	—	—	SYSTEM PLL用電源端子
109	MODE2	I	入力	LSI動作モード設定端子2 (必ず0Vに接続すること)
110	JTRSTB	I	入力	JTAG用リセット入力 (通常時、プルダウン処理、または0Vに接続すること)
111	JTCK	I	入力	JTAG用クロック入力 (通常時、プルダウン処理、または0Vに接続すること)
112	JTDI	I	入力	JTAG用データ入力 (通常時、プルダウン処理、または0Vに接続すること)
113	JTMS	I	入力	JTAG用モード入力 (通常時、プルアップ処理、またはI/O用電源に接続すること)
114	JTDO	O	L	JTAG用データ出力 (通常時、オープンにすること)
115	JTRTCK	O	L	JTAG用リターンクロック出力 (通常時、オープンにすること)
116	GP20	I/O	入力(L)	プルダウン抵抗付き汎用入出力ポート ストリームデータ用リクエストフラグ入出力1 オーディオDAC用クロック (Fs384)出力

## LC786965UW

端子 No.	端子名	I/O 形式	リセット 状態	機 能 説 明
117	GP21	I/O	入力(L)	プルダウン抵抗付き汎用入出力ポート シリアル通信3用送信データ出力 ストリームデータ用LRクロック入出力1 オーディオ3線用LRクロック出力1
118	GP22	I/O	入力(L)	プルダウン抵抗付き汎用入出力ポート シリアル通信3用マスタークロック出力 ストリームデータ用ビットクロック入出力1 オーディオ3線用ビットクロック出力1
119	GP23	I/O	入力(L)	プルダウン抵抗付き汎用入出力ポート シリアル通信3用受信データ入力 ストリームデータ用データ入出力1 オーディオ3線用データ出力1
120	GP24	I/O	入力(L)	プルダウン抵抗付き汎用入出力ポート オーディオ用エンファシスフラグ入出力
121	GP25	I/O	入力(L)	プルダウン抵抗付き汎用入出力ポート デジタルOUT(EIAJフォーマット)出力
122	DVDD	—	—	デジタル系電源端子
123	DVSS	—	—	デジタル系接地端子 (必ず0Vに接続すること)
124	DVDD12	AO	H	内蔵レギュレータ用コンデンサ接続端子
125	GP14	I/O	入力(L)	プルダウン抵抗付き汎用入出力ポート ストリームデータ用LRクロック入出力2 オーディオ3線用LRクロック出力2
126	GP15	I/O	入力(L)	プルダウン抵抗付き汎用入出力ポート ストリームデータ用ビットクロック入出力2 オーディオ3線用ビットクロック出力2
127	GP16	I/O	入力(L)	プルダウン抵抗付き汎用入出力ポート ストリームデータ用データ入出力2 オーディオ3線用データ出力2
128	GP17	I/O	入力(L)	プルダウン抵抗付き汎用入出力ポート ストリームデータ用リクエストフラグ入出力2 オーディオDAC用クロック(Fs384)出力2
129	NC	—	—	NCピン (オープン処理)
130	NC	—	—	NCピン (オープン処理)
131	GP62	I/O	入力(L)	プルダウン抵抗付き汎用入出力ポート
132	GP63	I/O	入力(L)	プルダウン抵抗付き汎用入出力ポート
133	GP64	I/O	入力(L)	プルダウン抵抗付き汎用入出力ポート UART2データ送信
134	GP65	I/O	入力(L)	プルダウン抵抗付き汎用入出力ポート UART2データ受信
135	XVSS	—	—	発振回路用接地端子 (必ず0Vに接続すること)
136	X16OUT	O	発振	16.9344MHz発振子接続
137	X16IN	I	発振	16.9344MHz発振子接続
138	XVDD	—	—	発振回路用電源端子
139	NC	—	—	NCピン (オープン処理)
140	NC	—	—	NCピン (オープン処理)
141	NC	—	—	NCピン (オープン処理)
142	NC	—	—	NCピン (オープン処理)
143	NC	—	—	NCピン (オープン処理)
144	SLCO	AO	不定	スライズレベル制御出力端子

(注意)

① 未使用端子に関して

- ・未使用入力端子は、上記リストに対処指定の無いものについては、必ずGND (0V) に接地すること。
- ・未使用出力端子は、上記リストに対処指定の無いものについては、オープン処理 (何も接続しない) とすること。
- ・未使用入出力端子は、上記リストに対処指定の無いものについては、以下の処理を行うこと。

入力設定

内蔵プルダウン抵抗をONとし、オープン処理すること。

内蔵プルダウン抵抗をOFFとする場合は、GND (0V) に接地、またはI/O用電源端子に接続すること。

但し、フェイルセーフの点から、個別に抵抗を介してプルアップ/プルダウン処理することを推奨する。

出力設定

オープン処理すること。

②電源端子に関して

- ・DVDD, AVDD, XVDD, VVDD1, VVDD3端子には、必ず同電位を供給すること。  
(供給電圧は、許容動作範囲の頁を参照)

③リセット状態に関して

- ・本LSIは、RESB端子を"L"にするだけでは内部リセットされないので、注意が必要。  
リセットの詳細に関しては、「電源投入・リセット制御」を参照のこと。

DISCONTINUED  
THIS DEVICE IS NOT RECOMMENDED FOR NEW DESIGN  
PLEASE CONTACT YOUR onsemi  
REPRESENTATIVE FOR INFORMATION

# LC786965UW

## ■電気的特性

### 1. 絶対最大定格 (Note 1)

/ Ta = 25°C, DVSS = AVSS = XVSS = VVSS1 = VVSS2 = 0 V

項目	記号	Value	Unit
最大電源電圧	V <sub>DD max</sub>	-0.3V ~ +3.95	V
入力電圧	V <sub>IN</sub>	-0.3 ~ DVDD+0.3	V
出力電圧	V <sub>OUT</sub>	-0.3 ~ DVDD+0.3	V
許容消費電力 (Ta ≤ 85°C / 標準基板装着時※)	Pd max	540	mW
動作周囲温度	T <sub>OPR</sub>	-40 ~ +85	°C
保存周囲温度	T <sub>STG</sub>	-40 ~ +125	°C
最大ジャンクション温度	T <sub>j (max)</sub>	125	°C

(※) 標準基板 : 114.3mm × 76.1mm × 1.6mm / 材質 : ガラスエポキシ樹脂

Note 1 : 最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。これらの定格値を超えた場合は、デバイスの機能性を損ない、ダメージが生じ、信頼性に影響を及ぼす危険性があります。

### 2. 許容動作範囲 (Note 2)

/ Ta = -40 ~ +85°C, DVSS = AVSS = XVSS = VVSS1 = VVSS3 = 0 V

項目	記号	ピン名称	Type	Min	TYP	Max	Unit
電源電圧	V <sub>DD1</sub>	DVDD, AVDD, XVDD VVDD1, VVDD3		3.00		3.60	V
入力「H」レベル電圧	V <sub>IH</sub>	RESB, SIFCK, SIFDI, SIFCE, BUSYB, GP03, GP12, GP13, GP14, GP15, GP16, GP17, GP20, GP21, GP22, GP23, GP62, GP63, GP64, GP65 SDDAT00 ~ 15, JTMS, JTRSTB, JTCK, JTDI, PMODE	Schmitt	2.00		V <sub>DD1</sub>	
入力「L」レベル電圧	V <sub>IL</sub>	RESB, SIFCK, SIFDI, SIFCE, BUSYB, GP03, GP12, GP13, GP14, GP15, GP16, GP17, GP20, GP21, GP22, GP23, GP62, GP63, GP64, GP65 SDDAT00 ~ 15, JTMS, JTRSTB, JTCK, JTDI, MODE0, MODE1, MODE2	Schmitt	0.00		0.80	
発振周波数	FX	X16IN X16OUT			16.9344		MHz

Note 2 : 推奨動作範囲を超えるストレスでは推奨動作機能を得られません。推奨動作範囲を超えるストレスの印加は、デバイスの信頼性に影響を与える危険性があります。

# LC786965UW

## 3. 電気的特性

/ Ta = -40~+85°C, DVSS = AVSS = XVSS = VVSS1 = VVSS3 = 0 V (Note 3)

項目	記号	ピン名称	Type	条件	MIN	TYP	MAX	Unit
消費電流	IDD1	DVDD, AVDD, XVDD, VVDD1, VVDD3				110	140	mA
入力「H」レベル電流	IIH	RESB, SIFCK, SIFDI, SIFCE, BUSYB, GP03, GP12, GP13, GP14, GP15, GP16, GP17, GP20, GP21, GP22, GP23, GP62, GP63, GP64, GP65 SDDAT00~15, JTMS, JTRSTB, JTCK, JTDI, PMODE	Schmitt	V <sub>IN</sub> =V <sub>DD1</sub> 内蔵プルダウン 抵抗OFF			10.00	μA
入力「L」レベル電流	IIIL	RESB, SIFCK, SIFDI, SIFCE, BUSYB, GP03, GP12, GP13, GP14, GP15, GP16, GP17, GP20, GP21, GP22, GP23, GP62, GP63, GP64, GP65 SDDAT00~15, JTMS, JTRSTB, JTCK, JTDI, MODE0, MODE1, MODE2	Schmitt	V <sub>IN</sub> =0.0V	-10.00			
出力「H」レベル電圧	VOH(1)	GP12, GP13, GP14, GP15, GP16, GP17, GP20, GP21, GP22, GP23, GP62, GP63, GP64, GP65, SDBA, SDDAT00~15, SDADRS00~12, SDCSB, SDRASB, SDCASB, SDWEB, SDCKE, SDDQM	CMOS	I <sub>OH</sub> =-2mA	V <sub>DD1</sub>		-0.6	V
	VOH(2)	SIFDI, SIFDO, SIFCE, BUSYB, GP03, SDCLK, JTDO, JTRTCK	CMOS	I <sub>OH</sub> =-4mA				
出力「L」レベル電圧	VOL(1)	GP12, GP13, GP14, GP15, GP16, GP17, GP20, GP21, GP22, GP23, GP62, GP63, GP64, GP65 SDBA, SDDAT00~15, SDADRS00~12, SDCSB, SDRASB, SDCASB, SDWEB, SDCKE, SDDQM	CMOS	I <sub>OL</sub> =2mA			0.40	
	VOL(2)	SIFDI, SIFDO, SIFCE, BUSYB, GP03, SDCLK, JTDO, JTRTCK	CMOS	I <sub>OL</sub> =4mA				
出力リーク電流	IOFF(1)	PDOOUT0, PDOOUT1, AFILT		Hi-Z Out	-10.00		10.00	μA
	IOFF(2)	SIFDO		Hi-Z Out	-10.00		10.00	
内蔵プルダウン抵抗値	RPD	SIFDO, SIFCE, BUSYB, GP03, GP12, GP15, GP14, GP15, GP16, GP17, GP20, GP21, GP22, GP23, GP62, GP63, GP64, GP65 SDDAT00~15			50	100	200	kΩ
チャージポンプ出力電流	IPDCH	PDOOUT1, PDOOUT0		PKCIST=100kΩ 電流値設定1倍	42.50	50.00	57.50	μA
	IPDOL	PDOOUT1, PDOOUT0			-57.50	-50.00	-42.50	
	IAFILH	AFILT				15.0		μA
	IAFILL	AFILT				15.0		

(注意)

- ・ SIFDO端子の出力状態を3-State出力に選択する場合、内蔵のプルダウン抵抗もしくは外付のプロアップまたはプルダウン抵抗を接続して使用する事

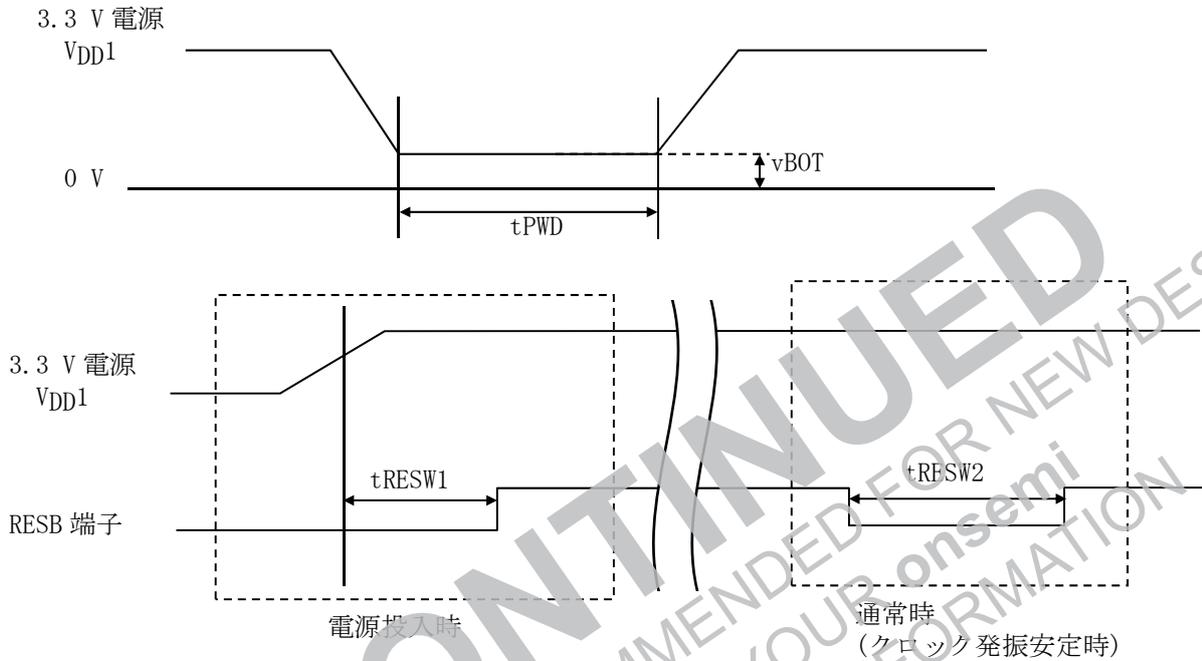
Note 3: 製品パラメータは、特別な記述が無い限り、記載されたテスト条件に対する電気的特性で示しています。異なる条件下で製品動作を行った時には、電気的特性で示している特性を得られない場合があります。

4. 電源投入・リセット制御

・電源投入時の注意点

本 LSI の初期状態を確定させるため、電源投入時、RESB 端子は必ず"L"とすること。  
RESB 端子を"H"にして電源投入した場合、本 LSI の初期状態が確定せずに動作が不安定となる場合がある。

また、各入力端子には電源オフ状態で V<sub>DD1</sub> 以下の電圧を印加しても問題ない。



項目	記号	Min	Typ	Max	Unit
電源立ち下げ時間	t <sub>PWD</sub>	10			ms
電源立ち下げ電圧	v <sub>EOT</sub>	0		0.2	V
リセット期間(電源投入時)	t <sub>RESW1</sub>	20			ms
リセット期間(通常時)※1	t <sub>RESW2</sub>	1			ms

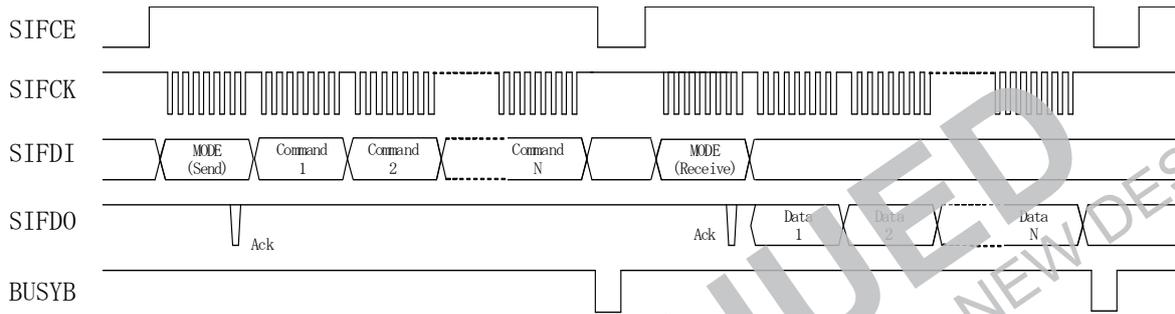
※1: 通常時のリセット期間は、クロック(発振子)が安定して発振した状態での期間である。  
コマンド等によりクロック(発振子)をOFF状態にした場合は、発振安定時間を考慮する必要がある。

5. マイコンインターフェイス

ホストマイコンからの送受信は、SPI系の同期式SIO通信にて行う。  
データ転送フォーマットは、以下の通り。

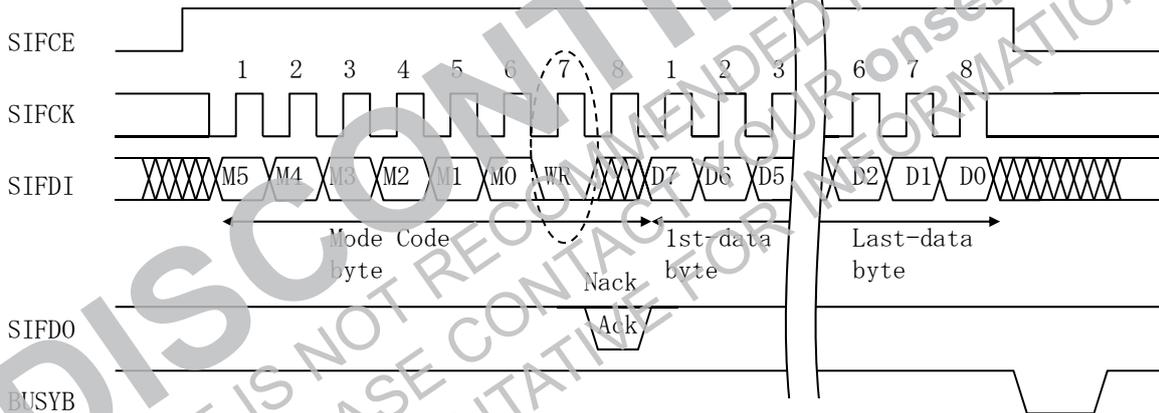
- ModeCode 送信における M5~M0 のコードは、本 LSI の内蔵ソフト仕様に従うこと。  
M5~M0 に入力されたデータと内部レジスタ値が一致した時に、SIFDO を"L"(Ack)として通信を許可する。  
不一致の場合は、SIFDO を"H"(Nack)とし、通信は許可されない。
- コマンド送信であるかデータ受信であるかは、ModeCode 送信時の 7bit 目のデータにより判定される。  
"L"入力ではコマンド送信、"H"入力ではデータ受信となる。
- 内蔵マイコンの動作モード(通常/低速)により、通信タイミングのスペックが異なるので注意。

<図5-1> ホストマイコンとの通信インターフェイス

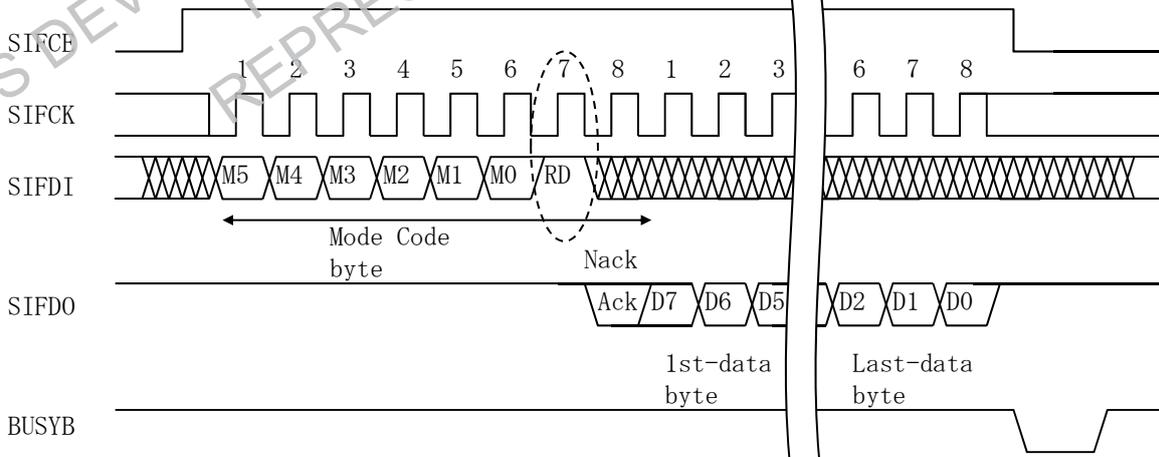


<図5-2> ホストマイコンとの送受信フォーマット

①ホスト：コマンド送信時

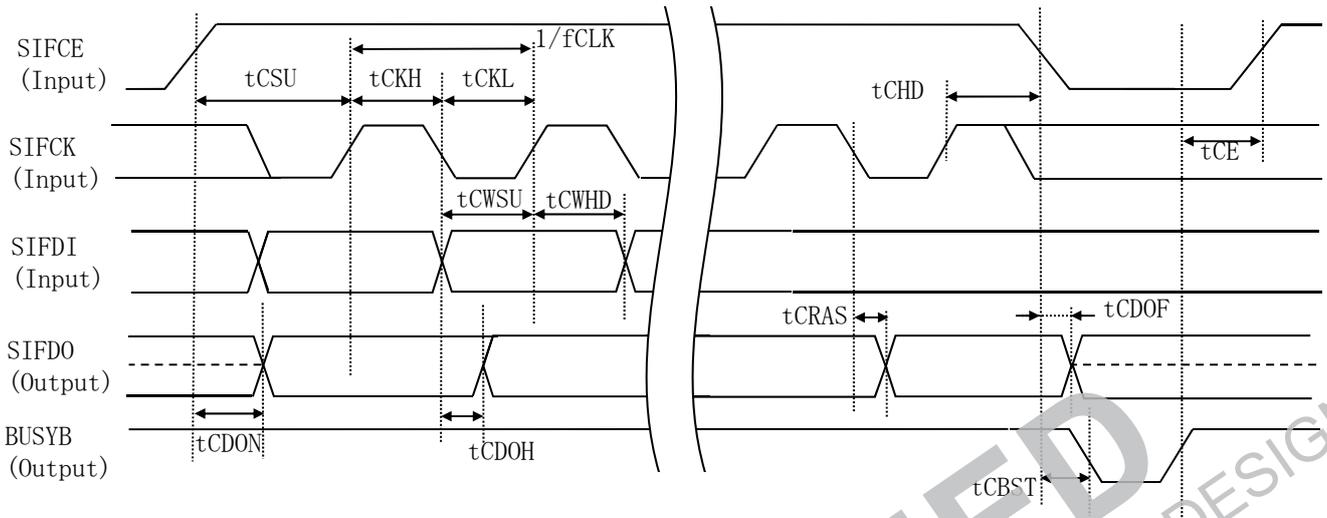


②ホスト：データ受信時



# LC786965UW

<図5-3>ホストマイコンとの通信タイミング特性



項目	記号	ピン名称	条件	Min	Typ	Max	Unit
転送クロック周波数	fCLK	SIFCK	図5-3			3.3 0.725	MHz
転送クロック"H"期間	tCKH	SIFCK	図5-3	150 690			ns
転送クロック"L"期間	tCKL	SIFCK	図5-3	150 690			
転送開始許可時間	tCE	BUSYB,SIFCE	図5-3	0 0			
転送開始セットアップ時間	tCSU	SIFCE,SIFCK	図5-3	100 200			
転送終了ホールド時間	tCHD	SIFCE,SIFCK	図5-3	100 200			
データ入力セットアップ時間	tCWSU	SIFDI,SIFCK	図5-3	75 75			
データ入力ホールド時間	tCWHD	SIFDI,SIFCK	図5-3	75 200			
データ出力"H"レベル変化時間	tCDOH	SIFDO,SIFCK	図5-3			100 350	
データ出力確定時間	tCRAS	SIFDO,SIFCK	図5-3			100 350	
出力ON確定時間 *1	tCDON	SIFDO,SIFCE	図5-3			100 100	
出力OFF確定時間 *1	tCDOF	SIFDO,SIFCE	図5-3			150 150	
BUSYB"L"レベル確定時間	tCBST	BUSYB	図5-3			150 350	

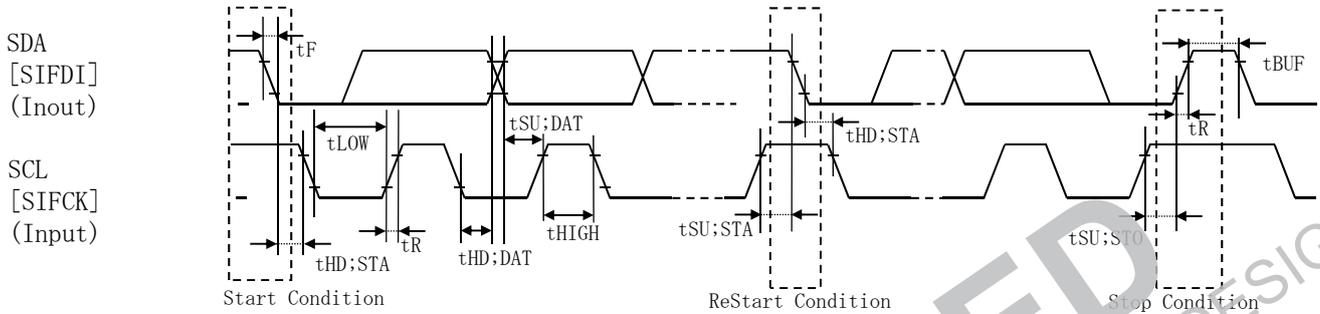
※内蔵マイコン動作 上段 : 通常モード  
下段 : 低速モード

注1 : tCDON/tCDOF は、SIFDO 端子を 3-State 出力設定した場合のみ有効である。

## LC786965UW

ホストマイコンとの送受信については、I<sup>2</sup>Cでの通信も可能である。  
 対応するモードは  
 標準モード : 100k bps  
 高速モード : 400k bps  
 であり、スレーブアドレスとしては 0x16(7bit 値) となっている。

<図 5-4> ホストマイコンとの通信(I<sup>2</sup>C)タイミング条件



項目	記号	条件	標準(100k bps)		高速(400k bps)		Unit
			Min	Max	Min	Max	
SCL周波数	fSCL	図5-4	0	100	0	400	kHz
バス開放時間	tBUF	図5-4	4.7		1.3		μs
SCL "L" 期間	tLOW	図5-4	4.7		1.2		μs
SCL "H" 期間	tHIGH	図5-4	4.0		0.6		μs
Start/ReStart条件ホールド時間	tHD;STA	図5-4	4.0		0.6		μs
Start/ReStart条件セットアップ時間	tSU;STA	図5-4	4.7		0.6		μs
SDAホールド時間	tHD;DAT	図5-4	0		0		μs
SDAセットアップ時間	tSU;DAT	図5-4	250		100		ns
SDA,SCLの立ち上がり時間	tR	図5-4		1000	20+0.1Cb	300	ns
SDA,SCLの立ち下り時間	tF	図5-4		300	20+0.1Cb	300	ns
Stop条件セットアップ時間	tSU;STO	図5-4	4.0		0.6		μs

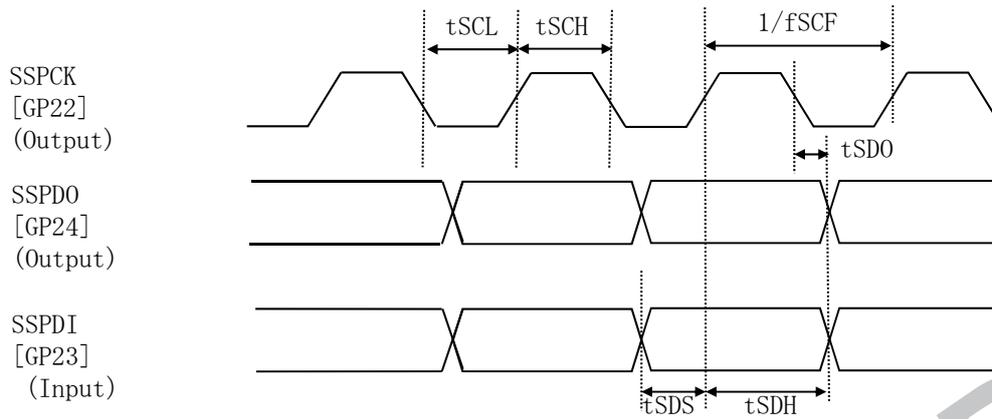
注 : Cb は、各バスに接続された負荷のトータル容量 (単位 : pF)

なお、I<sup>2</sup>Cを使用する場合、SIFDO、SIFCE、BUSYB 端子については、以下の通り汎用入出力ポートとして使用可能である。

SIFDO : GP00  
 SIFCE : GP01  
 BUSYB : GP02

6. シリアル通信ポート

<図 6-1>シリアル通信(SIO)マスターモード入出力タイミング特性



項目	記号	ピン名称	条件	Min	Typ	Max	Unit
SIOクロック周波数	fSCF	SSPCK	図6-1	0.008		5.0	MHz
SIOクロック"H"期間	tSCH	SSPCK	図6-1	100		62500	ns
SIOクロック"L"期間	tSCL	SSPCK	図6-1	100		62500	
データ出力確定時間	tSDO	SSPDO,SSPCK	図6-1			100	
データ入力セットアップ時間	tSDS	SSPDI,SSPCK	図6-1	50			
データ入力ホールド時間	tSDH	SSPDI,SSPCK	図6-1	75			

注：内蔵マイコン(ARM7)を通常モードにて動作させた場合。

DISCONTINUED

THIS DEVICE IS NOT RECOMMENDED FOR NEW DESIGN  
PLEASE CONTACT YOUR onsemi REPRESENTATIVE FOR INFORMATION

7. ストリームデータ入出力機能

ストリームデータの入出力については、以下の2つの方法がある。

①4線方式

- ストリーム入力 : STREQO="H"出力期間に、STLRCKI/STBCKI/STDATI を入力する。
- ストリーム出力 : STREQI="H"入力期間に、STLRCKO/STBCKO/STDATO を出力する。

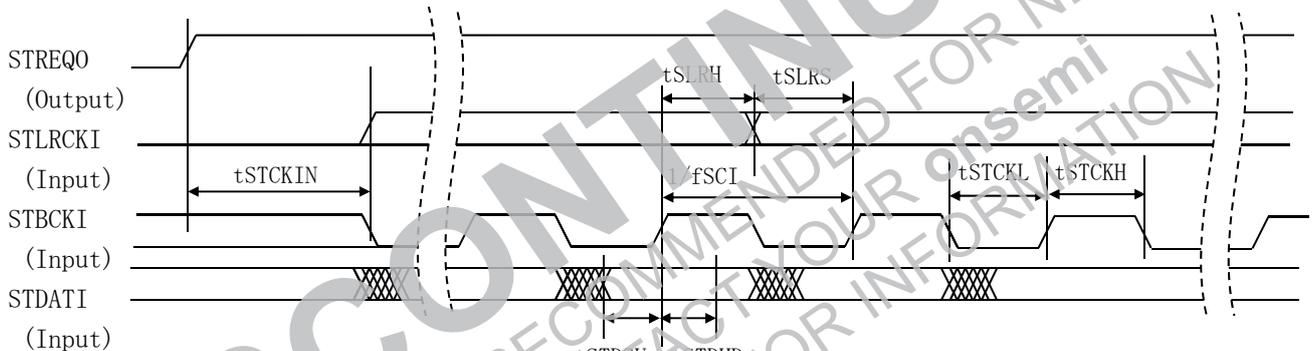
4線方式の場合、STLRCKI/STBCKI/STDATI(入力時)、STLRCKO/STBCKO/STDATO(出力時)の各3線については、通常のオーディオ入出力フォーマットと同様のタイミングとなり、STLRCKI(入力時)、STLRCKO(出力時)の1周期に4byte(32bit)データの送受信を行う。

②3線方式

- ストリーム入力 : STREQO="H"出力期間に、STBCKI/STDATI を入力する。
- ストリーム出力 : STREQI="H"入力期間に、STBCKO/STDATO を出力する。

3線方式の場合、STREQOの状態に応じてビットクロックとデータを入力、またはSTREQIの状態に応じてビットクロックとデータ出力するのみであり、データの転送単位は2byte(16bit)となる。  
 なお、ストリーム出力の3線方式においては、クロック(STBCKI)を入力してデータのみを出力させる事も可能である。

<図 7-1> ストリームデータ入力タイミング特性



※信号名と端子との関係

- STREQO : GP17 or GP20
- STLRCKI : GP14 or GP21
- STBCKI : GP15 or GP22
- STDATI : GP16 or GP23

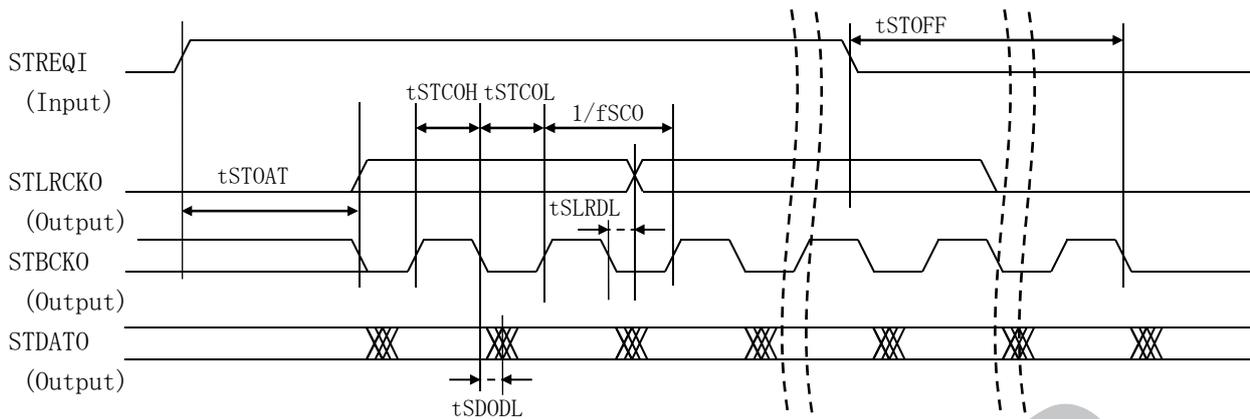
注： GP14～17とGP20～23を同時に入力設定した場合、GP14～17に入力されるデータが有効。  
 GP20～23にデータを入力する事は可能だが、LSI内部では処理されない。

項目	記号	ピン名称	条件	Min	Typ	Max	unit
STBCKIクロック周期	fSCI	STBCKI	図7-1			4.24	MHz
ストリーム入力開始時間	tSTCKIN	STREQO, STBCKI, STLRCKI	図7-1	50			ns
STBCKI "H"期間	tSTCKH	STBCKI	図7-1	100			ns
STBCKI "L"期間	tSTCKL	STBCKI	図7-1	100			ns
STLRCKIセットアップ時間	tSLRS	STLRCKI, STBCKI	図7-1	75			ns
STLRCKIホールド時間	tSLRH	STLRCKI, STBCKI	図7-1	75			ns
STDATIセットアップ時間	tSTDSU	STDATI, STBCKI	図7-1	75			ns
STDATIホールド時間	tSTDHD	STDATI, STBCKI	図7-1	75			ns

注：図 7-1 は STBCKI の立ち上り同期でデータ入力する場合。立ち下り同期でもタイミングは共通。

# LC786965UW

<図 7-2> ストリームデータ出力タイミング特性 : STBCK 出力モード



※信号名と端子との関係

STREQI : GP17 or GP20  
STBCKO : GP15 or GP22

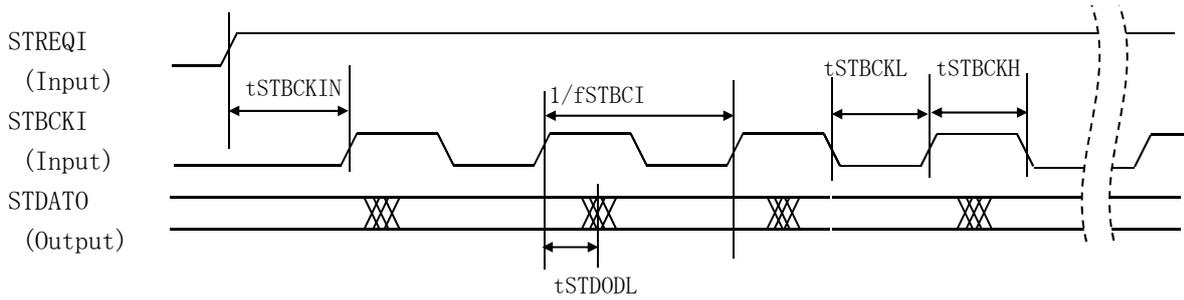
STLRCKO : GP14 or GP21  
STDATO : GP16 or GP23

項目	記号	ピン名称	条件	Min	Typ	Max	unit
STBCKOクロック周期	fSCO	STBCKO	図7-2			4.24	MHz
ストリーム出力開始時間	tSTOAT	STREQI, STBCKO, STLRCKO	図7-2			(1/fSCO) × 48	ns
ストリーム出力停止時間	tSTOFF	STREQI, STBCKO	図7-2			(1/fSCO) × 48	ns
STBCKO "H"期間	tSTCOH	STBCKO	図7-2	100			ns
STBCKO "L"期間	tSTCOL	STBCKO	図7-2	100			ns
STLRCKO出力遅延時間	tSLRDL	STLRCKO, STBCKO	図7-2	0		50	ns
STDATO出力遅延時間	tSDODL	STDATO, STBCKO	図7-2	0		50	ns

注：図 7-2 は STBCKO の立ち下り同期でデータ出力する場合。立ち上り同期でもタイミングは共通。

# LC786965UW

<図 7-3> ストリームデータ出力タイミング特性 : STBCKI 入力モード



※信号名と端子との関係

STREQI : GP17 or GP20

STBCKI : GP15 or GP22

STDATO : GP16 or GP23

項目	記号	ピン名称	条件	Min	Typ	Max	unit
STBCKIクロック周期	fSTBCI	STBCKI	図7-3			1.25	MHz
STBCKI入力開始時間	tSTBCKIN	STREQI, STBCKI	図 7-3	1000			ns
STBCKI "H"期間	tSTBCKH	STBCKI	図7-3	400			ns
STBCKI "L"期間	tSTBCKL	STBCKI	図 7-3	400			ns
STDATO 出力遅延時間	tSTDODL	STBCKI, STDATO	図 7-3			250	ns

注：図 7-3 は STBCKI を "L" から開始する場合。

<補足>

クロック入力モードは2種類に対応し、データ出力タイミングは以下の通り変化する。

① STBCKI="L"から開始する場合

STDATO は、STBCKI の立ち上りエッジに同期して出力される。

② STBCKI="H"から開始する場合

STDATO は、STBCKI の立ち下りエッジに同期して出力される。

①、②のいずれのモードを使っても、出力タイミング特性は同じである。

8. オーディオデータ出力機能

- ・オーディオ出力 対応フォーマット

モード	ビット長	スロット長	システムクロック
IIS MSBファースト右詰	16bit 24bit	32fs、48fs、64fs	Fs384クロック出力

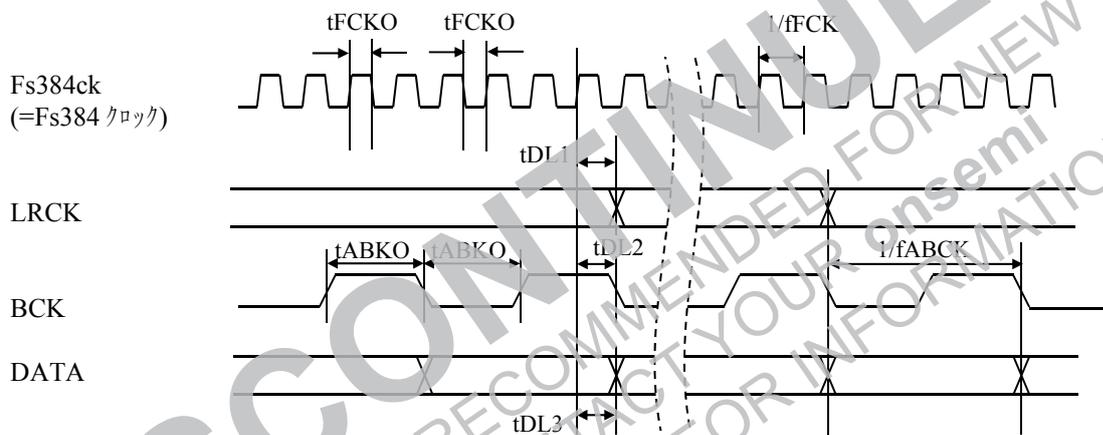
- ・適用端子

LRCK	BCK	DATA	Fs384クロック
GP14 GP21	GP15 GP22	GP16 GP23	GP17 GP20

- ・その他

- ・オーディオ出力は3種類のFs(32kHz/44.1kHz/48kHz)に対応可能。
- ・GP25端子より、デジタルアウト出力が可能。

<図 8-1> オーディオデータ出力タイミング特性



項目	記号	ピン名称	条件	Min	Typ	Max	unit
Fs384クロック周期	tFCKO	Fs384ck	図8-1		16.9344 ※1		MHz
Fs384クロック "H"期間	tFCKOH	Fs384ck	図8-1		29.5 ※1		ns
Fs384クロック "L"期間	tFCKOL	Fs384ck	図8-1		29.5 ※1		ns
ビットクロック周期	tABKO	BCK	図8-1		2.1168 ※1		MHz
ビットクロック "H"期間	tABKOH	BCK	図8-1		236.2 ※1		ns
ビットクロック "L"期間	tABKOL	BCK	図8-1		236.2 ※1		ns
LRCK出力遅延時間	tDL1	LRCK, Fs384ck	図8-1	0		50	ns
BCK出力遅延時間	tDL2	BCK, Fs384ck	図8-1	0		50	ns
DATA出力遅延時間	tDL3	DATA, Fs384ck	図8-1	0		50	ns

※1: 出力をFs=44.1kHzにして、出力フォーマットのスロット長を48fsに設定した場合。

9. 内蔵レギュレータ特性

/ Ta = -40~+85°C, DVSS = AVSS = XVSS = VVSS1 = VVSS3 = 0 V

項目	記号	条件	Min	Typ	Max	Unit
出力電圧	DVDD12	V <sub>DD1</sub> =3.0~3.6V	1.08	1.20	1.32	V
負荷電流	I <sub>ope</sub>	V <sub>DD1</sub> =3.3V			200	mA

<補足>負荷電流は、内蔵レギュレータ 2 箇所の合計値。

10. サーボ AD/DA 部アナログ特性

/ Ta = -40~+85°C, VDD1 = 3.3 V, DVSS = AVSS = XVSS = VVSS1 = VVSS3 = 0 V

項目	記号	Min	Typ	Max	Unit
分解能	Res		8		bit
変換最大入出力レンジ	Vaio1		4/5 × V <sub>DD1</sub>		V
変換最小入出力レンジ	Vaio2		1/5 × V <sub>DD1</sub>		V

**DISCONTINUED**  
 THIS DEVICE IS NOT RECOMMENDED FOR NEW DESIGN  
 PLEASE CONTACT YOUR onsemi  
 REPRESENTATIVE FOR INFORMATION

## 11. SDRAM インターフェース

## ①使用可能な SDRAM に関して

本 LSI で接続可能な SDRAM は、以下のとおり。

メモリサイズ	: 16Mbit or 64Mbit
データ幅	: 16bit
CAS レイテンシ	: 2
バースト長	: フル

## ②SDRAM との接続端子

本 LSI は外部 SDRAM との接続の為、以下の端子を使用する。

端子名	16Mbit-SDRAM 使用時 端子内容	64Mbit-SDRAM 使用時 端子内容	図中信号名 (図 11-1,2,3)
SDDAT15 ~ SDDAT00	データ入出力端子 (16bit)	データ入出力端子 (16bit)	DDAT[15:0] DDAT[15:0]
SDADRS10 ~ SDADRS00	アドレス出力端子 (11bit)	アドレス出力端子 (11bit)	DADD[10:0] DADD[10:0]
SDADRS11	未使用	アドレス(A11)出力端子	— DADD[11]
SDADRS12	DQML(LDQM)出力端子 下位 byte データマスク制御	アドレス(A12) or Bank0 出力端子	SDDQML DADD[12]
SDBA	Bank 出力端子	Bank or Bank1 出力端子	DADD[11] DADD[13]
SDDQM	DQMH(UDQM)出力端子 上位 byte データマスク制御	DOMH(UDQM)出力端子 上位 byte データマスク制御	SDDQMU SDDQMU
GP13	未使用	DQML(LDQM)出力端子 下位 byte データマスク制御	— SDDQML
SDCSB	チップセレクト出力端子	チップセレクト出力端子	SDCSB SDCSB
SDRASB	RAS 出力端子	RAS 出力端子	SDRASB SDRASB
SDCASB	CAS 出力端子	CAS 出力端子	SDCASB SDCASB
SDWEB	WE 出力端子	WE 出力端子	SDWEB SDWEB
SDCKE	クロックイネーブル出力端子	クロックイネーブル出力端子	SDCKE SDCKE
SDCLK	クロック出力端子	クロック出力端子	SDCLK SDCLK

注 1 : 16Mbit-SDRAM で未使用となっている端子については、以下の処理を行うこと。

SDADRS11 : オープン処理

GP13 : 各種端子機能として使用するか、またはオープン処理

注 2 : データ端子(SDDAT00~SDDAT15)はプルダウン抵抗を内蔵しており、初期状態は抵抗 ON である。

SDRAM を使用するためのコマンド設定を行う事で、プルダウン抵抗は OFF される。

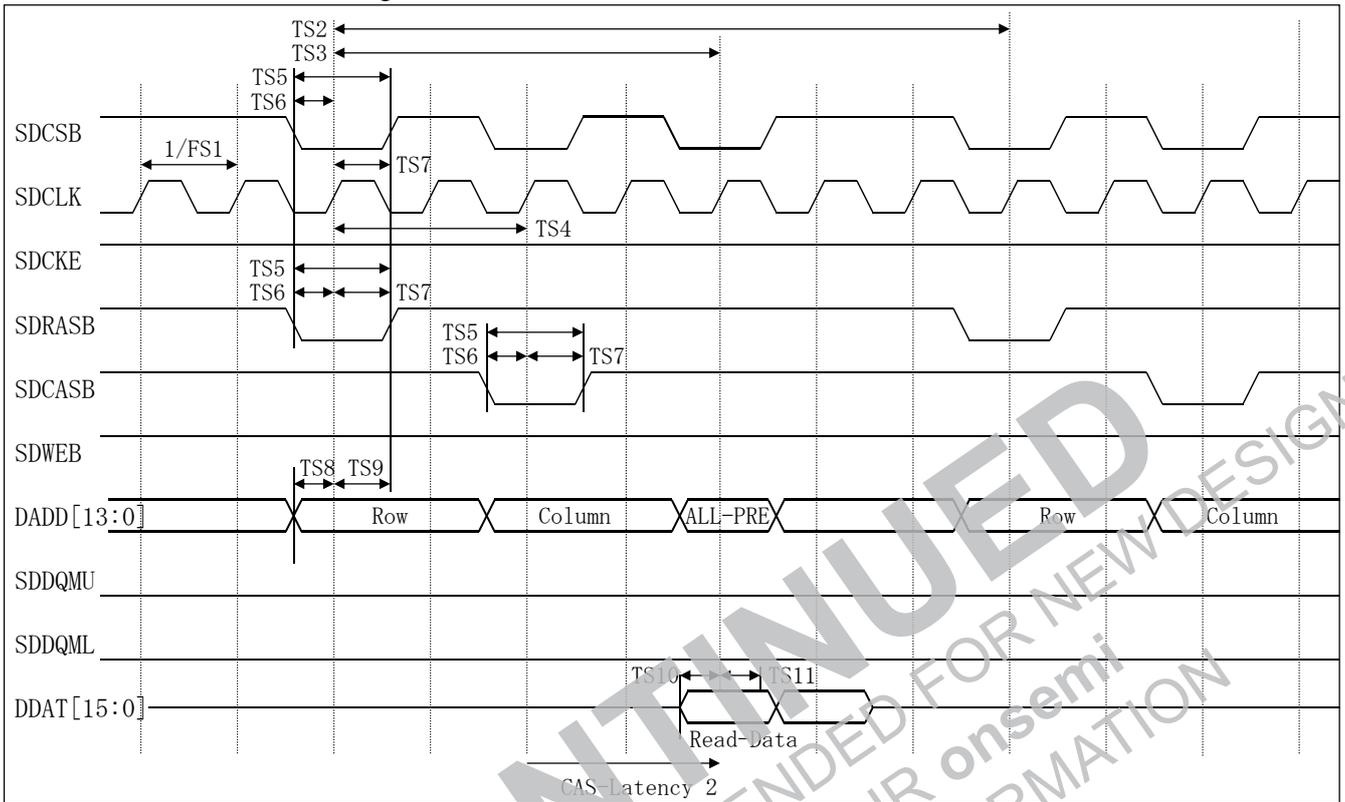
注 3 : 図中信号名とは、次ページ以降にある図 11-1, 2, 3 の各図での信号名を示している。

上段 : 16Mbit-SDRAM 接続時の信号名

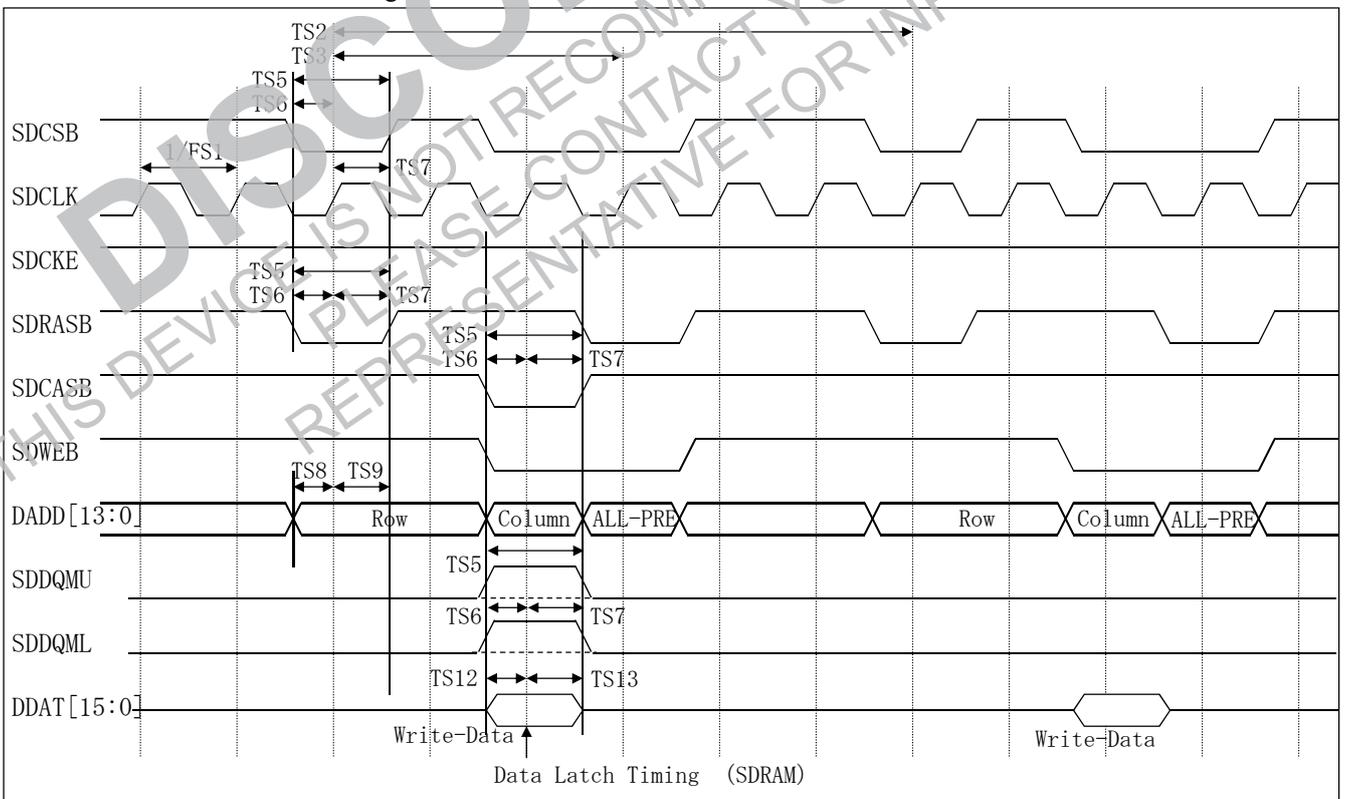
下段 : 64Mbit-SDRAM 接続時の信号名

③SDRAM アクセスタイミング特性

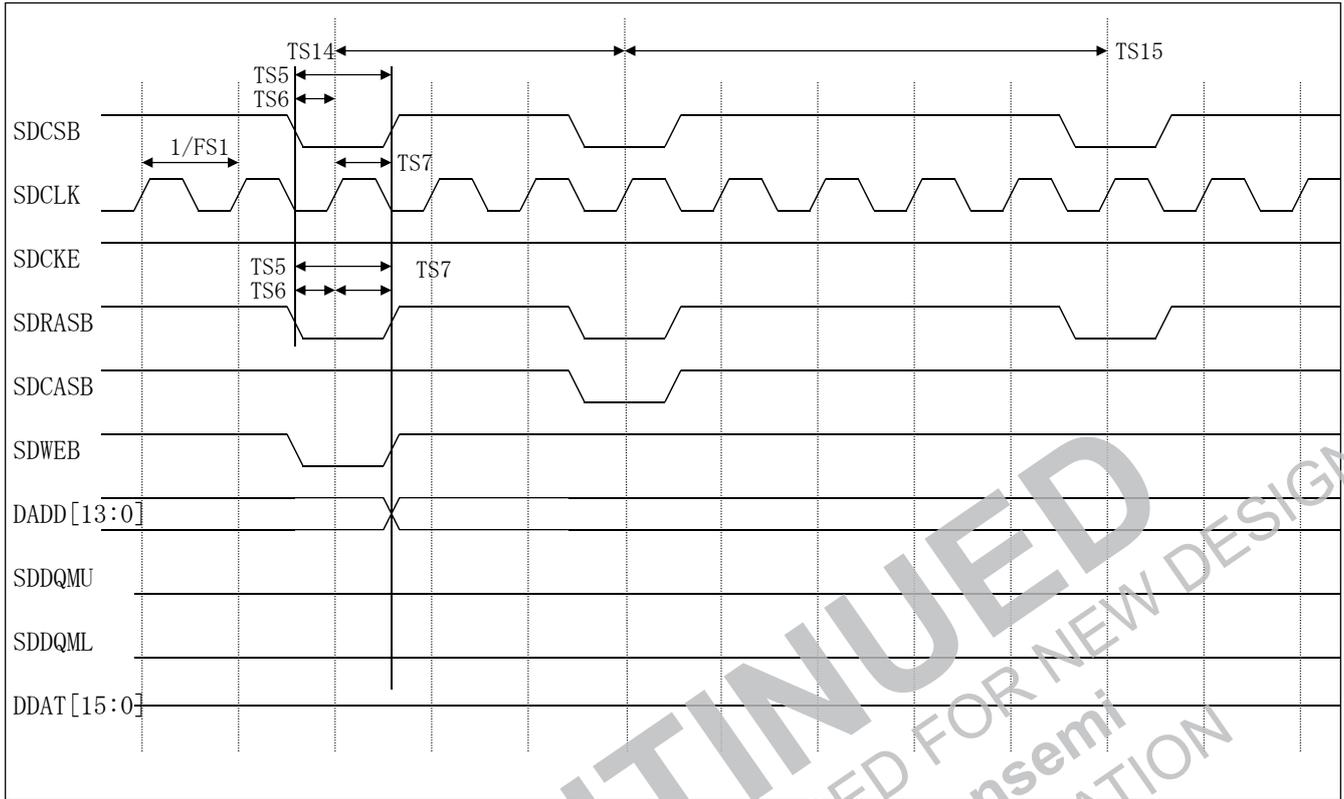
<図 11-1> SDRAM Read Timing



<図 11-2> SDRAM Write Timing



<図 11-3> SDRAM Refresh Timing (Auto Refresh)



記号	項目	Min	typ	max	unit
FS1	SDRAMクロック(SDCLK)周期		16.9344		MHz
TS2	로우(SDRASB)サイクル時間	$(1/FS1) \times 5$	—	—	ns
TS3	로우(SDRASB)アクティブ時間	$(1/FS1) \times 3$	—	—	ns
TS4	RASB-CASB遅延時間 (SDRASB-SDCASB)	$(1/FS1) \times 2$	—	—	ns
TS5	コマンド信号"L"期間 (SDCSB, SDCKE, SDRASB, SDCASB, SDWEB)	40	—	—	ns
TS6	コマンド信号セットアップ時間 (SDCSB, SDCKE, SDRASB, SDCASB, SDWEB, SDDQMU, SDDQML)	10	—	—	ns
TS7	コマンド信号ホールド時間 (SDCSB, SDCKE, SDRASB, SDCASB, SDWEB, SDDQMU, SDDQML)	10	—	—	ns
TS8	アドレス(DADD)セットアップ時間	10	—	—	ns
TS9	アドレス(DADD)ホールド時間	10	—	—	ns
TS10	SDRAM読出しデータ セットアップ時間	20	—	—	ns
TS11	SDRAM読出しデータ ホールド時間	0	—	—	ns
TS12	SDRAM書込みデータ SDCLK立ち上がり前ホールド時間	10	—	—	ns
TS13	SDRAM書込みデータ SDCLK立ち上がり後ホールド時間	10	—	—	ns
TS14	로우(SDRASB)プリチャージ時間	$(1/FS1) \times 3$	—	—	ns
TS15	リフレッシュ後の로우(SDRASB)アクティブ時間	$(1/FS1) \times 5$	—	—	ns

注1: 上記タイミングにおけるセットアップ時間/ホールド時間は、SDCLKの立ち上がりに対する時間。

注2: Read / Write / Refresh動作のいずれのモードにおいても、上記のタイミングは共通。

■ アナログ端子内部等価回路

端子名 ( ) 内端子番号	内部等価回路
EFMIN (1)	
RFOUT (2)	
LPF (3)	
PHLPF (4)	
AIN (5) CIN (6) BIN (7) DIN (8)	
SLCISSET (9)	
RFMON (10)	

LC786965UW

端子名 ( ) 内端子番号	内部等価回路
VREF (11)	
JITTC (12)	
EIN (13) FIN (14)	
TE (15)	
TEIN (16)	
LDD (17)	
LDS (18)	

LC786965UW

端子名 ( ) 内端子番号	内部等価回路
FDO (23) TDO (24) SLDO (25) SPDO (26)	
PDOUT1 (28)	
PDOUT0 (29)	
PCKIST (31)	
AFILT (107)	
X16OUT (136) X16IN (137)	
SLCO (144)	

# LC786965UW

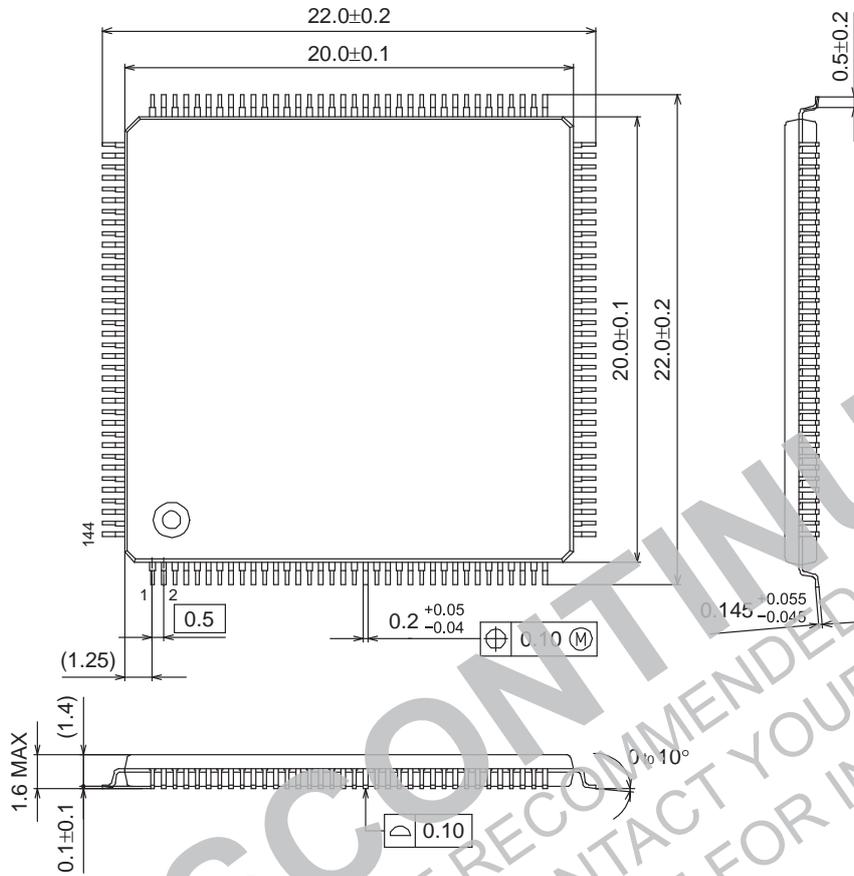
## ■外形図

unit : mm

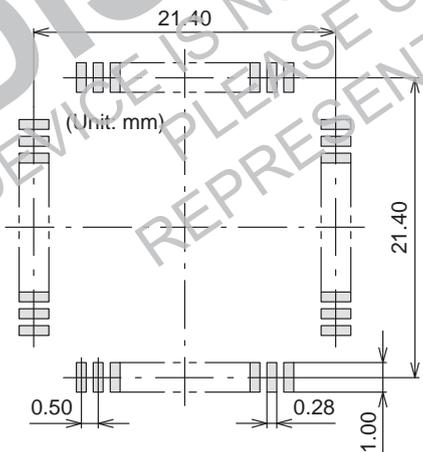
### SPQFP144 20x20 / SQFP144

CASE 131AD

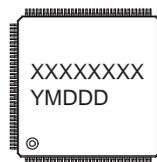
ISSUE A



### SOLDERING FOOTPRINT\*



### GENERIC MARKING DIAGRAM\*



XXXXX = Specific Device Code  
 Y = Year  
 M = Month  
 DDD = Additional Traceability Data

\*This information is generic. Please refer to device data sheet for actual part marking. Pb-Free indicator, "G" or microdot "▪", may or may not be present.

NOTE: The measurements are not to guarantee but for reference only.

\*For additional information on our Pb-Free strategy and soldering details, please download the ON Semiconductor Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

ARM 及び ARM ロゴ, ARM7TDMI-S は、ARM Limited (またはその子会社) の EU またはその他の国における登録商標または商標です。

\* MP3 (MPEG Layer-3 Audio Coding)

MPEG Layer-3 オーディオコーディング技術は、Fraunhofer IIS および Thomson から実施許諾されています。

本製品の供給は、Thomson および/または FraunhoferGesellschaft の関連知的財産権に基づいてライセンスを与えるものではありませんし、本製品を完成済みエンドユーザ製品またはすぐに使用可能な最終製品で使用する権利を暗示するものでもありません。当該使用には、独立したライセンスが必要です。詳細に関しては、<http://mp3licensing.com/> にアクセスしてください。

\* WMA (Windows Media Audio)

Windows Media™ は、米国 Microsoft Corporation の米国、及びその他の国における商標と登録商標です。

ON Semiconductor and the ON Semiconductor logo are trademarks of Semiconductor Components Industries, LLC dba ON Semiconductor or its subsidiaries in the United States and/or other countries. ON Semiconductor owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of ON Semiconductor's product/patent coverage may be accessed at [www.onsemi.com/site/pdf/Patent-Marking.pdf](http://www.onsemi.com/site/pdf/Patent-Marking.pdf). ON Semiconductor reserves the right to make changes without further notice to any products herein. ON Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does ON Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using ON Semiconductor products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by ON Semiconductor. "Typical" parameters which may be provided in ON Semiconductor data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typical" must be validated for each customer application by customer's technical experts. ON Semiconductor does not convey any license under its patent rights nor the rights of others. ON Semiconductor products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use ON Semiconductor products for any such unintended or unauthorized application, Buyer shall indemnify and hold ON Semiconductor and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that ON Semiconductor was negligent regarding the design or manufacture of the part. ON Semiconductor is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考訳)

ON Semiconductor 及び ON Semiconductor のロゴは ON Semiconductor という商号を使う Semiconductor Components Industries, LLC 若しくはその子会社の米国及び/または他の国における商標です。ON Semiconductor は特許、商標、著作権、トレードシークレット (営業秘密) と他の知的財産権に対する権利を保有します。ON Semiconductor の製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。[www.onsemi.com/site/pdf/Patent-Marking.pdf](http://www.onsemi.com/site/pdf/Patent-Marking.pdf)。ON Semiconductor は通告なしで、本書記載の製品の変更を行うことがあります。ON Semiconductor は、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害など一切の損害に対して、いかなる責任も負うことはできません。お客様は、ON Semiconductor によって提供されたサポートやアプリケーション情報の如何にかかわらず、すべての法令、規制、安全性の要求あるいは標準の遵守を含む、ON Semiconductor 製品を使用した場合のお客様の製品とアプリケーションについて一切の責任を負うものとします。ON Semiconductor データシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。ON Semiconductor は、その特許権やその他の権利の下、いかなるライセンスも許諾しません。ON Semiconductor 製品は、生命維持装置や、いかなる FDA (米国食品医薬品局) クラス3の医療機器、FDAが管轄しない地域において同一もしくは類似のものと分類される医療機器、あるいは、人体への移植を対象とした機器における重要部品などへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用に ON Semiconductor 製品を購入または使用した場合、たとえば、ON Semiconductor がその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、ON Semiconductor とその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。ON Semiconductor は雇用機会均等 / 差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。