



Is Now Part of



**ON Semiconductor®**

To learn more about ON Semiconductor, please visit our website at  
[www.onsemi.com](http://www.onsemi.com)

ON Semiconductor and the ON Semiconductor logo are trademarks of Semiconductor Components Industries, LLC dba ON Semiconductor or its subsidiaries in the United States and/or other countries. ON Semiconductor owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of ON Semiconductor's product/patent coverage may be accessed at [www.onsemi.com/site/pdf/Patent-Marking.pdf](http://www.onsemi.com/site/pdf/Patent-Marking.pdf). ON Semiconductor reserves the right to make changes without further notice to any products herein. ON Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does ON Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using ON Semiconductor products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by ON Semiconductor. "Typical" parameters which may be provided in ON Semiconductor data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. ON Semiconductor does not convey any license under its patent rights nor the rights of others. ON Semiconductor products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use ON Semiconductor products for any such unintended or unauthorized application, Buyer shall indemnify and hold ON Semiconductor and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that ON Semiconductor was negligent regarding the design or manufacture of the part. ON Semiconductor is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

# AN-6921\_JA

## 臨界モード PFC + 擬似共振電流モード PWM 統合型コントローラー FAN6921

### 1. 概要

このアプリケーションノートではフェアチャイルドの臨界モード (BCM) 力率改善 (PFC) コントローラーと擬似共振 (QR) PWM コントローラーを統合した PFC/PWM コントローラー・コンボ、FAN6921 を用いて電源回路システム的设计についてステップごとに実践的な考察をしていきます。図 1 に、フロントエンドに臨界モード PFC コントローラー、バックエンドに擬似共振回路で構成される標準的なアプリケーション回路を示します。

FAN6921 は、それぞれシングル・スイッチを用いた臨界モード動作と擬似共振動作が最良の特性を発揮し、低コストで高効率な 75~200W アプリケーションを実現します。臨界モード昇圧

型 PFC コンバーターは連続モード (CCM) 昇圧型 PFC に比べ低コストで高い効率を達成することができます。これらの利点は昇圧ダイオードの逆回復損失を伴わないこと、ゼロボルトスイッチング (ZVS)、または準 ZVS (バレースイッチングとも呼ばれます) 昇圧スイッチ回路を用いていることにあります。DC/DC コンバージョンでの擬似共振フライバックコンバーターはバレースイッチングにより従来のハードスイッチングによるコンバーターに比べ高い効率を得ることができます。

更に、FAN6921 の PFC 部には可変出力電圧回路が採用されローライン入力時に、PFC コンバーターの導通損失と DC/DC コンバーターにおけるスイッチング損失を低減し、全体の効率の向上を実現しています。

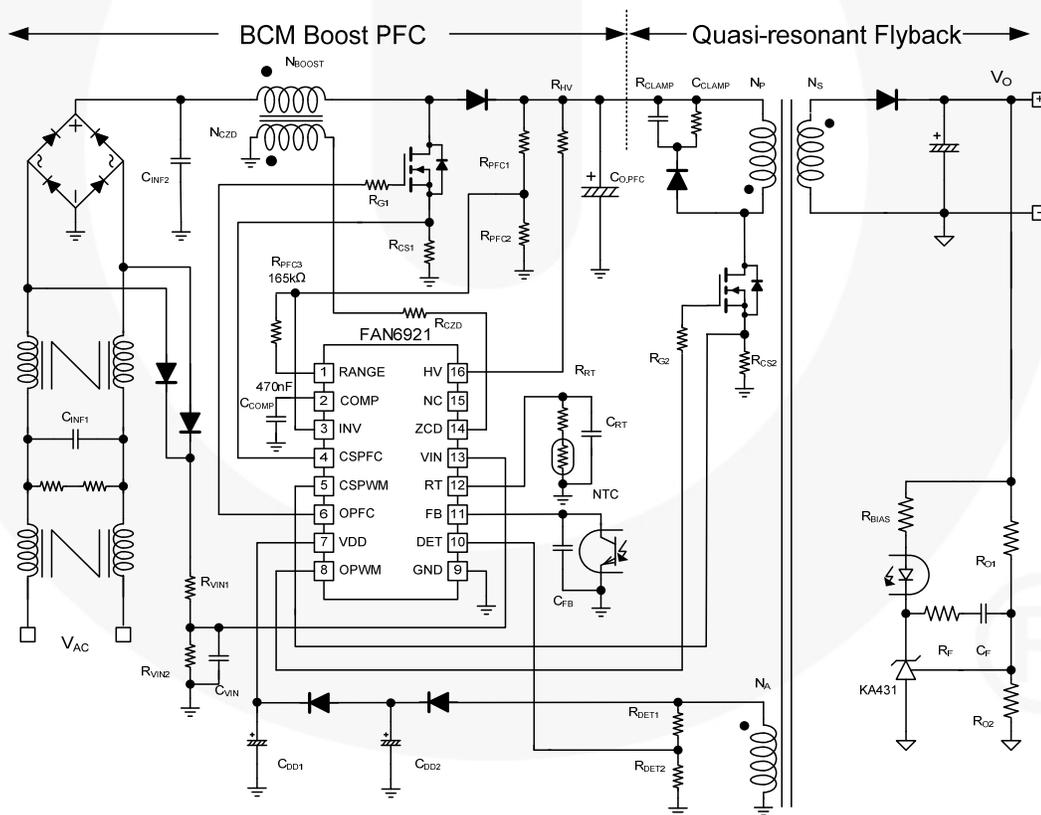


図 1. 標準アプリケーション回路

## 2. 臨界モード昇圧PFCコンバーターの動作原理

昇圧コンバーターで広く採用されている動作モードは連続モード(CCM)と、臨界モード(BCM)です。これらは図 2に示すようにエネルギーを蓄えるインダクターに流れる電流と関連しています。名前が示す通りCCMにおけるインダクター電流は連続していますが、BCMでは、インダクター電流がゼロになった時点で次のスイッチングサイクルが開始します。即ち、連続モードと不連続モードの境界における動作になります。臨界モードではインダクターおよびスイッチングデバイスに流れる実効値電流は高くなりますが、MOSFETおよびダイオードにとってはより負担の少ない動作条件になります。図 2に示すようにダイオードの逆回復電流が発生しないため高速のシリコンカーバイド(SiC)ダイオードを用いる必要はありません。また、MOSFETは電流がゼロになった後にオンするため、スイッチング損失が抑えられます。

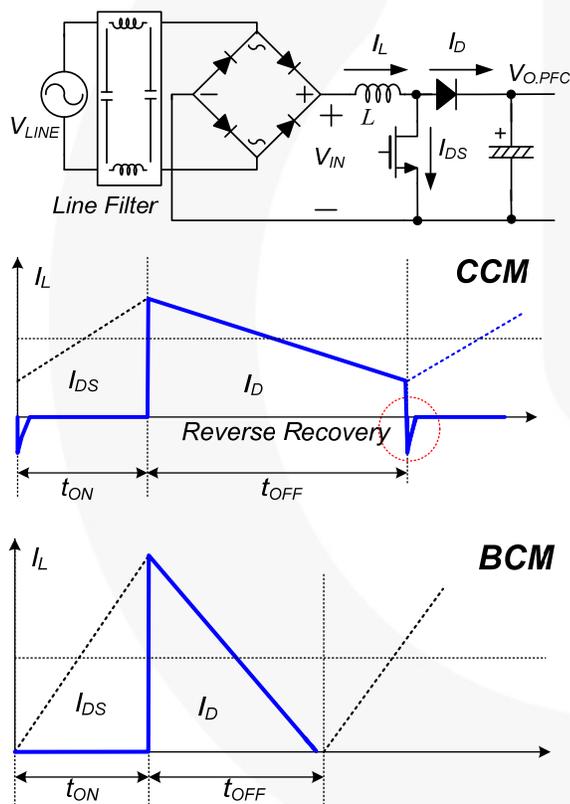


図 2. CCM制御とBCM制御

臨界モードPFCの基本はインダクター電流が図 3に示すように、そのスイッチングサイクルの中でゼロからスタートすることです。昇圧コンバーターのパワー・トランジスターが一定時間オンした場合、インダクター電流のピーク値は入力電圧の大きさに比例します。電流波形は三角波となることから、各スイッチングサイクルの平均電流もまた入力電圧に比例します。入力電圧が正弦波の場合、コンバーターの入力電流は

高い精度で入力電圧波形に従って流れることから、その平均入力電流は正弦波となります。この動作によって臨界モード型昇圧コンバーターが力率改善の理想的な選択肢になっています。

臨界モードに付随する問題点は昇圧コンバーターのスイッチング周波数が、出力電圧、入力電圧の瞬時値、昇圧インダクターの値、そして負荷電力に依存して変化することです。図 3に示すように、入力電流が正弦波である入力電圧に従うことから動作周波数は変化します。また、周波数が最も低くなるのは入力ライン電圧の値がピークになる時です。

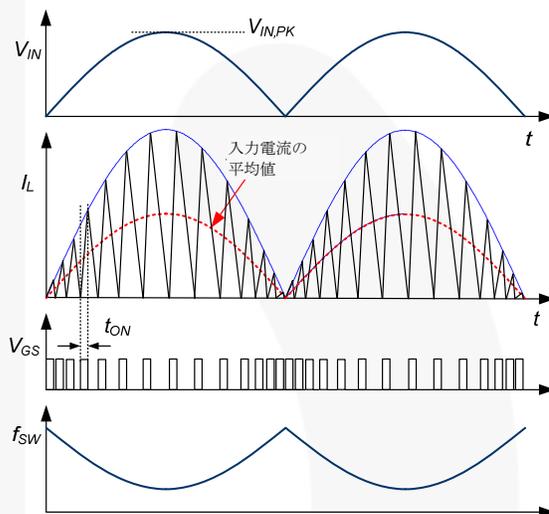


図 3. BCM PFCの動作波形

インダクターにおける電圧時間積のバランスから：

$$V_{IN}(t) \cdot t_{ON} = (V_{O.PFC} - V_{IN}(t)) \cdot t_{OFF} \quad (1)$$

ここで、 $V_{IN}(t)$  は整流後のライン電圧です。

臨界モード昇圧型PFCコンバーターの動作周波数は以下の式で求められます：

$$\begin{aligned} f_{SW} &= \frac{1}{t_{ON} + t_{OFF}} = \frac{1}{t_{ON}} \cdot \frac{V_{O.PFC} - V_{IN}(t)}{V_{OUT}} \\ &= \frac{1}{t_{ON}} \cdot \frac{V_{O.PFC} - V_{IN,PK} \cdot |\sin(2\pi f_{LINE} t)|}{V_{O.PFC}} \end{aligned} \quad (2)$$

ここで $V_{IN,PK}$  はライン電圧の振幅、 $f_{LINE}$  はライン周波数です。

図 4 に出力の変化(減少)に対するMOSFETのオン期間とスイッチング周波数の変化を示します。図 4の右側の図に示すように負荷が軽くなると、インダクター電流のピーク値はMOSFETのオン期間の減少とともに小さくなり、スイッチング周波数は高くなります。

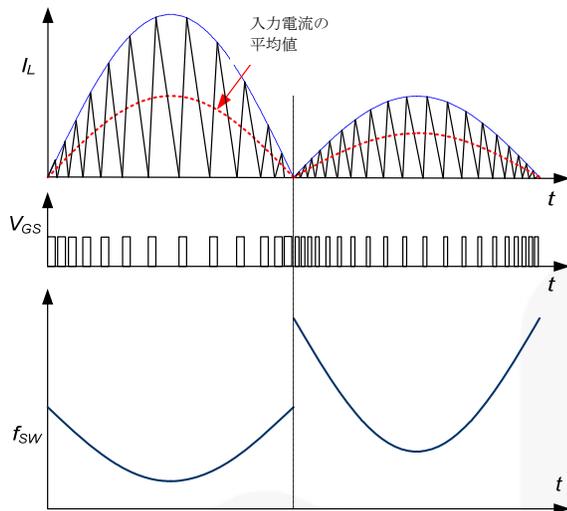


図 4. BCM PFCにおける動作周波数の変化

臨界モードPFCコンバーターではスイッチング周波数が変化するため、ラインフィルタおよびインダクターの設計はその最小周波数の動作条件で行います。従って動作状態の変化によって臨界モードPFCコンバーターのスイッチング周波数の最小値がどのように変化するか調べる必要があります。

スイッチング周波数が最小になるのはライン電圧がピークに達したときですが、図 5 にライン電圧実効値を変化させたときのスイッチング周波数の最小値を異なる出力電圧に対して示します。ユニバーサル仕様のアプリケーションではスイッチング周波数の最小値は出力電圧が405V以下の場合、ハイライン電圧(265V<sub>AC</sub>)で発生しています。

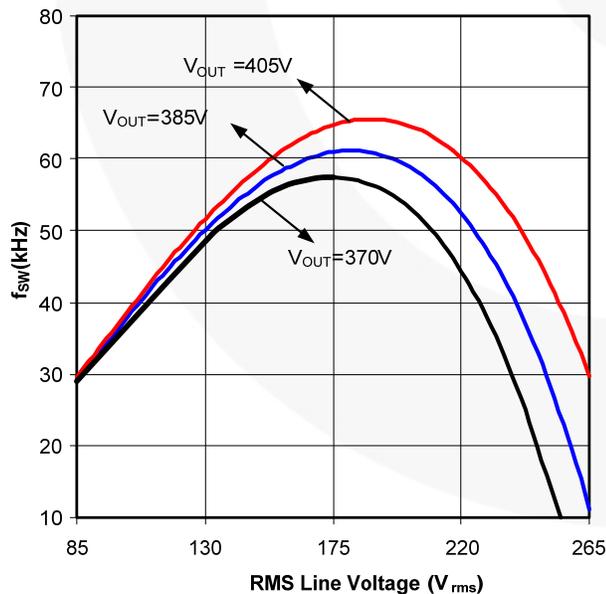


図 5. スwitching周波数の変化 vs. ライン電圧実効値 (L = 780 $\mu$ H, P<sub>OUT</sub> = 100W)

### 3. 擬似共振 (QR) フライバックコンバーターの動作原理

擬似共振フライバックコンバーター・トポロジーは、従来のパルス幅変調(PWM)に追加の外部部品を省いた、フライバックコンバーターから派生したものとと言えます。図 6 および 図 7 に擬似共振フライバックコンバーターの簡略化した回路図と標準的な動作波形をそれぞれ示します。基本的な動作原理は以下ようになります：

- MOSFETのオン期間( $t_{ON}$ )、入力電圧( $V_{IN}$ )は一次側のインダクター( $L_m$ )の両端に加わります。MOSFET電流( $I_{DS}$ )はゼロからそのピーク値( $I_{pk}$ )までリニアに増加します。この期間に入力からのエネルギーはインダクターに蓄えられます。
- MOSFETがオフすると、インダクターに蓄えられたエネルギーは整流ダイオード(D)をオンにします。ダイオードがオンしている間( $t_D$ )、出力電圧( $V_O$ )は二次側インダクター両端に加わり、ダイオード電流( $I_D$ )はそのピーク値からゼロまでリニアに減少します。インダクターに蓄えられたエネルギーは $t_D$ が経過した時点で全て出力に伝達されます。この期間、出力電圧は一次側に $V_O \times N_p/N_s$ の値で伝達されます。即ち、入力電圧( $V_{IN}$ )に出力からの伝達電圧( $V_O \times N_p/N_s$ )が加算されてMOSFETの両端に加わります。
- ダイオード電流がゼロになった時点で、ドレイン-ソース間電圧( $V_{DS}$ )は一次側インダクター( $L_m$ )とMOSFETの出力コンデンサ( $C_{oss}$ )による共振回路により、図 7に示すように $V_O \times N_p/N_s$ の振幅で、 $V_{IN}$ をオフセット電圧として発振を開始します。 $V_{DS}$ の値が最も小さくなった時にMOSFETをオンすることで、擬似共振スイッチングが達成されます。従って、MOSFETがオンする際、ドレイン-ソース間に負荷として存在するコンデンサによるスイッチング損失を低減することができます。

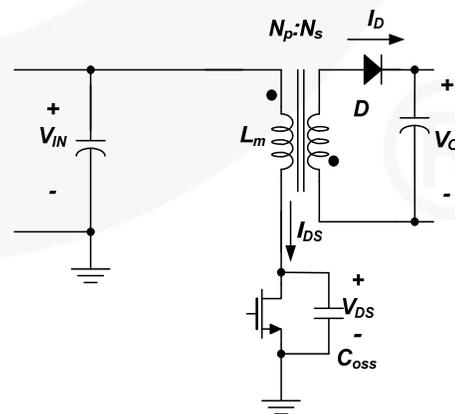


図 6. QRフライバックコンバーター回路図

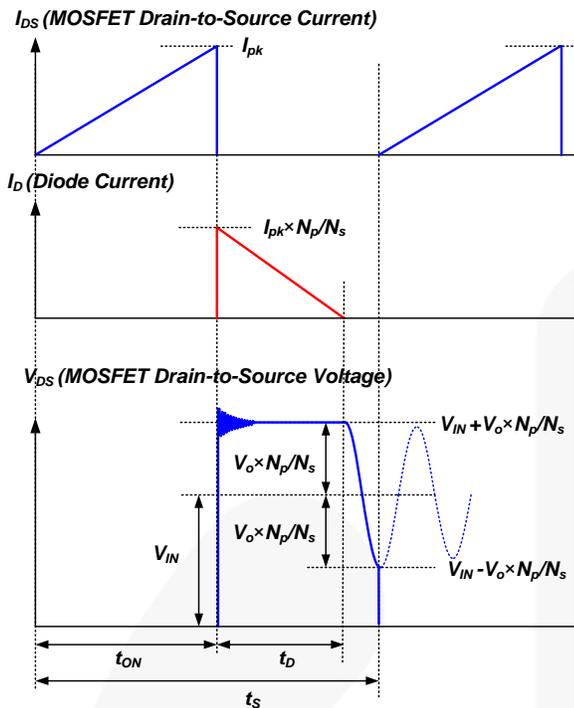


図 7. QR フライバックコンバーターの標準動作波形

## 4. 設計上の検討事項

ここでの設計手順は 図 1 を参考にしてあります。ユニバーサル入力電圧範囲の90W PFCアプリケーションを設計例として取り上げ、以下にその設計規格を示します：

- ライン電圧範囲: 90~264V<sub>AC</sub> (60Hz)
- DC/DC コンバーター出力: 19V/4.7A (90W)
- PFC 出力電圧 (ハイライン入力時): 400V (V<sub>O,PFC,H</sub>)
- PFC 出力電圧 (ローライン入力時): 260V (V<sub>O,PFC,L</sub>)
- 最小PFC スイッチング周波数: > 50kHz
- ブラウンアウト保護 ライン電圧: 70V<sub>AC</sub>
- 出力過電圧保護しきい値: 22.5V
- システム全体の電力効率: 90%  
(PFC ブロック: 95%, DC/DC ブロック: 95%)

### Part A. PFC ブロック

#### [STEP-A1] 昇圧インダクター設計

昇圧インダクターの値は出力電力と最小スイッチング周波数によって決まります。ライン電圧とMOSFETのオン期間が与えられると、式 2より最小スイッチング周波数が求まります：

$$f_{SW,MIN} = \frac{1}{t_{ON}} \cdot \frac{V_{O,PFC} - \sqrt{2}V_{LINE}}{V_{O,PFC}} \quad (3)$$

ここで：

V<sub>LINE</sub> はライン電圧の実効値(RMS)；

t<sub>ON</sub> はMOSFETのオン期間；

V<sub>O,PFC</sub> は PFC 出力電圧です。

定格出力時、ライン電圧の値を用いてMOSFETのオン期間は次式により求まります：

$$t_{ON} = \frac{2 \cdot P_{O,PFC} \cdot L}{\eta \cdot V_{LINE}^2} \quad (4)$$

ここで：

η は全体の電力効率；

L は昇圧インダクターの値；

P<sub>OUT</sub> は定格出力です。

式 4を用いて、最小スイッチング周波数の式 3を書き換えると次のようになります：

$$f_{SW,MIN} = \frac{\eta \cdot V_{LINE}^2}{2 \cdot P_{OUT} \cdot L} \cdot \frac{V_{O,PFC} - \sqrt{2}V_{LINE}}{V_{O,PFC}} \quad (5)$$

図 5で述べたように、PFC出力電圧が405V以下であれば、最小スイッチング周波数はハイラインで発生するため、出力電圧および最小スイッチング周波数が決まれば、インダクターの値は次式で求まります：

$$L = \frac{\eta \cdot (V_{LINE,MAX})^2}{2 \cdot P_{OUT} \cdot f_{SW,MIN}} \cdot \frac{V_{O,PFC} - \sqrt{2}V_{LINE,MAX}}{V_{O,PFC}} \quad (6)$$

ここで V<sub>LINE,MAX</sub> はライン電圧の最大値です。

最小スイッチング周波数が低くなると、スイッチング損失は低減しますが、インダクターおよびラインフィルターのサイズは大きくなります。従って、最小スイッチング周波数は効率と磁性部品サイズとのトレードオフで決められます。最小スイッチング周波数は可聴ノイズを防ぐ為 20kHz以上にします。

インダクターの値が得られた後、ローライン入力を条件に、定格出力時のインダクターピーク電流の最大値を求めます：

$$I_{L,PK} = \frac{2\sqrt{2} \cdot P_{OUT}}{\eta \cdot V_{LINE,MIN}} \quad (7)$$

ここで V<sub>LINE,MIN</sub> はライン電圧の最小値です。

最大オン期間は次式により決まりますが、内部で20μs以下に設定されています：

$$t_{ON}^{MAX} = \frac{2 \cdot P_{OUT} \cdot L}{\eta \cdot V_{LINE,MIN}^2} < 20\mu s \quad (8)$$

昇圧インダクターの巻数はコアが飽和しないよう考慮して決めてください。最小巻数は次式で求まります。：

$$N_{BOOST} \geq \frac{I_{L,PK} \cdot L}{A_e \cdot \Delta B} \quad (9)$$

ここで、A<sub>e</sub> はコアの断面積、ΔB は[Tesla]を単位とするコアの最大磁束密度変化量です。ΔB は飽和磁束密度以下に設定します。

**(設計例)** ハイライン入力とローライン入力での出力電圧はそれぞれ400Vおよび260Vなので、最小スイッチング周波数はハイライン入力(264V<sub>AC</sub>)、全負荷の時に発生します。全体の効率を90%、最小スイッチング周波数を58kHzとすると、インダクターの値は次式で得られます:

$$L = \frac{\eta \cdot V_{LINE,MAX}^2}{2 \cdot P_{OUT} \cdot f_{SW,MIN}} \cdot \frac{V_{O,PFC,H} - \sqrt{2}V_{LINE,MAX}}{V_{O,PFC,H}}$$

$$= \frac{0.9 \cdot 264^2}{2 \cdot 90 \cdot 58 \times 10^3} \cdot \frac{400 - \sqrt{2} \cdot 264}{400} = 400 \mu H$$

定格出力時のインダクターピーク電流の最大値は以下の式で求められます:

$$I_{L,PK} = \frac{2\sqrt{2} \cdot P_{OUT}}{\eta \cdot V_{LINE,MIN}} = \frac{2\sqrt{2} \cdot 90}{0.9 \cdot 90} = 3.14 A$$

$$t_{ON}^{MAX} = \frac{2 \cdot P_{OUT} \cdot L}{\eta \cdot V_{LINE,MIN}^2} = \frac{2 \cdot 90 \cdot 400 \times 10^{-6}}{0.9 \cdot 90^2}$$

$$= 9.87 \mu s < 20 \mu s$$

RM10コア(PC40, A<sub>e</sub>=98mm<sup>2</sup>)を使用し、ΔBを0.23Tに設定した場合、一次巻線数は次式で求められます:

$$N_{BOOST} \geq \frac{I_{L,PK} \cdot L}{A_e \cdot \Delta B} = \frac{3.14 \cdot 400 \times 10^{-6}}{98 \times 10^{-6} \cdot 0.23} = 55.7 \text{ turns}$$

従って、昇圧インダクターの巻線数(N<sub>BOOST</sub>)は60とします。

### [STEP-A2] 補助巻線設計

図9にPFCに搭載されるゼロ電流検出回路(ZCD)の内部ブロックを示します。FAN6921は昇圧インダクターの補助巻線を使って間接的にインダクター電流がゼロになるタイミングを検出します。

補助巻線は昇圧スイッチがオフした後、ZCD端子が上昇し2.1V以上になった時、内部コンパレータをトリガするように設計します。即ち:

$$\frac{N_{ZCD}}{N_{BOOST}} (V_{O,PFC,H} - \sqrt{2}V_{LINE,MAX}) > 2.1V \quad (10)$$

ここで、V<sub>O,PFC,H</sub>はハイライン入力時のPFC出力電圧です。

ZCD端子はクランプ回路を備え、そのプラス側、マイナス側クランプ電圧はそれぞれ10Vおよび0.65Vです。ZCD端子電圧を0.65Vにクランプする場合、デバイスから最大1.5mAのソース電流が流れます。従って、ZCD端子からの電流が最悪ケースで1.5mA以下になるようR<sub>ZCD</sub>の値を決める必要があります:

$$R_{ZCD} > \frac{V_{IN}}{1.5mA} \cdot \frac{N_{AUX}}{N_{BOOST}} = \frac{\sqrt{2}V_{LINE,MAX}}{1.5mA} \cdot \frac{N_{AUX}}{N_{BOOST}} \quad (11)$$

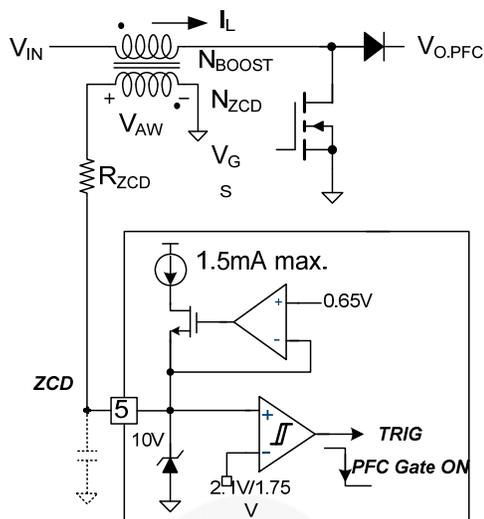


図8. ZCDの内部回路

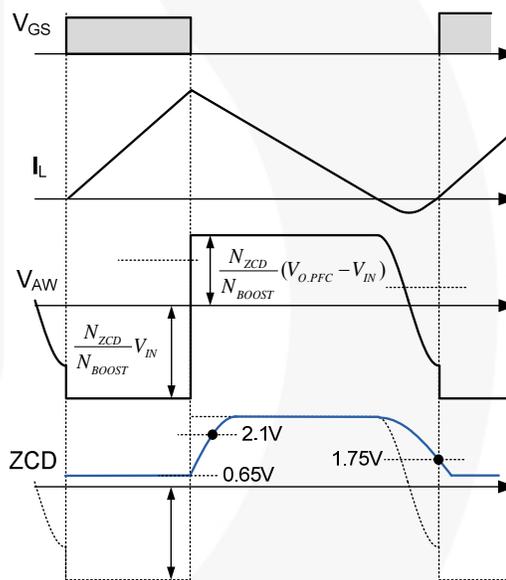


図9. ZCD動作波形

**(設計例)** ZCD側の補助巻線数は次式により求めることができます:

$$N_{ZCD} > \frac{2.1N_{BOOST}}{(V_{O,PFC,H} - \sqrt{2}V_{LINE,MAX})} = 4.7 \text{ turns}$$

余裕を持って、N<sub>AUX</sub>は8ターンとします。

次に、R<sub>ZCD</sub>は以下の式から求められます:

$$R_{ZCD} > \frac{\sqrt{2}V_{LINE,MAX}}{1.5mA} \cdot \frac{N_{ZCD}}{N_{BOOST}} = \frac{\sqrt{2} \cdot 265}{1.5 \times 10^{-3}} \cdot \frac{8}{60} = 33k\Omega$$

となり、ここでは68kΩにします。



### [STEP-A4] PFCセンス抵抗

FAN6921はパルス毎の電流制限を行う回路方式です。パルス毎の電流制限値は標準的にインダクター電流の最大値に対して20~30% 高めに設定します。

$$R_{CS1} = \frac{0.85}{I_{L.PK} (1 + K_{MARGIN})} \quad (17)$$

ここで $K_{MARGIN}$  は余裕度(マージン)、0.85Vはパルス毎の電流制限回路のしきい値です。

**(設計例)** マージンを35%として、センス抵抗は以下の式により求められます:

$$R_{CS1} = \frac{0.85}{I_{L.PK} (1 + K_{MARGIN})} = \frac{0.85}{3.14(1 + 0.35)} = 0.2\Omega$$

### [STEP-A5] 出力コンデンサ容量値

ホールドアップ時間中のPFC最小出力電圧値が与えられると、以下の式によりPFC 出力コンデンサ容量が求められます:

$$C_{O.PFC} > \frac{2P_{OUT} \cdot t_{HOLD}}{V_{O.PFC.L}^2 - V_{O.PFC.HLD}^2} \quad (18)$$

ここで:

$P_{OUT}$  は定格出力電力:

$t_{HOLD}$  は必要とされるホールドアップ時間:

$V_{O.PFC.HLD}$  はホールドアップ期間中、許されるPFC最小出力電圧です。

PFC出力コンデンサとして、PFC出力400Vの場合、標準的に出力1Wあたり0.5~1 $\mu$ Fの容量を使用します。一方、可変出力のPFCでは、400V固定出力に比べ、ホールドアップ期間の電圧ドロップが大きい為、出力1Wあたり1 $\mu$ Fの容量を使用するのが妥当です。

**(設計例)** ホールドアップ期間中の最小PFC出力電圧を160Vに設定すると、出力コンデンサの値は:

$$C_{O.PFC} > \frac{2P_{OUT} \cdot t_{HOLD}}{V_{O.PFC.H}^2 - V_{O.PFC.HLD}^2} = \frac{2 \cdot 90 \cdot 20 \times 10^{-3}}{258^2 - 160^2} = 88\mu F$$

従って、出力コンデンサ容量を100 $\mu$ Fとします。この場合ホールドアップ期間中のPFC最小出力電圧は次式により得られます:

$$\begin{aligned} V_{O.PFC.HLD} &= \sqrt{V_{OUT}^2 - \frac{2P_{OUT} \cdot t_{HOLD}}{C_{OUT}}} \\ &= \sqrt{258^2 - \frac{2 \cdot 90 \cdot 20 \times 10^{-3}}{100 \times 10^{-6}}} = 175V \end{aligned}$$

### [STEP-A6] 位相補償回路

PFCアプリケーションではフィードバックループの帯域幅は20Hz以下とします。もし、帯域幅が20Hz以上であった場合、制御ループは出力に現れる120Hzのリップルを低減しようとし、その結果ライン電流が歪むことになり、力率が低下します。位相補償用コンデンサはCOMP端子とGND間に接続し、ライン周波数によるリップルを40dB程度減衰させます。コンデンサがエラーアンプ出力とGND間に接続されると、エラーアンプは積分器として動作します。位相補償コンデンサの値は次式で与えられます:

$$C_{COMP} > \frac{100 \cdot g_M}{2\pi \cdot 2f_{LINE}} \cdot \frac{2.5}{V_{O.PFC.H}} \quad (19)$$

力率を改善するには $C_{COMP}$  の値をこの計算結果より大きくする必要があります。しかし、値が大きすぎると、出力電圧制御ループの応答は遅くなります。

#### (設計例)

$$\begin{aligned} C_{COMP} &> \frac{100 \cdot g_M}{2\pi \cdot 2f_{LINE}} \cdot \frac{2.5}{V_{O.PFC.H}} \\ &= \frac{100 \cdot 125 \times 10^{-6}}{2\pi \cdot 2 \cdot 60} \cdot \frac{2.5}{400} = 103nF \end{aligned}$$

適正な力率を得るのに470nFを選択します。

## Part B. DC/DC ブロック

### [STEP-B1]出力から一次側への変換電圧 ( $V_{RO}$ )

図 11 に擬似共振フライバックコンバーターの動作波形を示します。MOSFETがオフすると、入力電圧 (PFCの出力電圧) に出力から一次側に変換される電圧 ( $V_{RO}$ ) が重畳して MOSFET に加わります。MOSFETがオンした場合は、入力から二次側への変換電圧に出力電圧が重畳された電圧がダイオードに加わります。即ち MOSFET およびダイオードに加わる最大公称電圧 ( $V_{ds}^{nom}$ ) はそれぞれ以下の式で求められます。

$$V_{DS}^{nom} = V_{O.PFC.H} + n(V_O + V_F) = V_{O.PFC.H} + V_{RO}$$

ここで:

$$n = \frac{V_{RO}}{V_O + V_F}$$

$$V_D^{nom} = V_O + \frac{V_{O.PFC.H}}{n} = V_O + \frac{V_{O.PFC.H}}{V_{RO}} (V_O + V_F) \quad (21)$$

$V_{RO}$ 、即ち、巻き線比、 $n$  を大きくすることによって、容量によるスイッチング損失および MOSFET による導通損失は低減し、さらに、二次側ダイオードに加わる電圧ストレスも低減します。しかし、MOSFET に加わる電圧ストレスは増大します。従って、 $V_{RO}$  は MOSFET およびダイオードそれぞれに加わる電圧ストレスのトレードオフになります。 $V_{RO}$  は  $V_{DS}^{nom}$  と  $V_D^{nom}$  の値がそれぞれの定格の 75~85% になるように設定するのが標準的です。

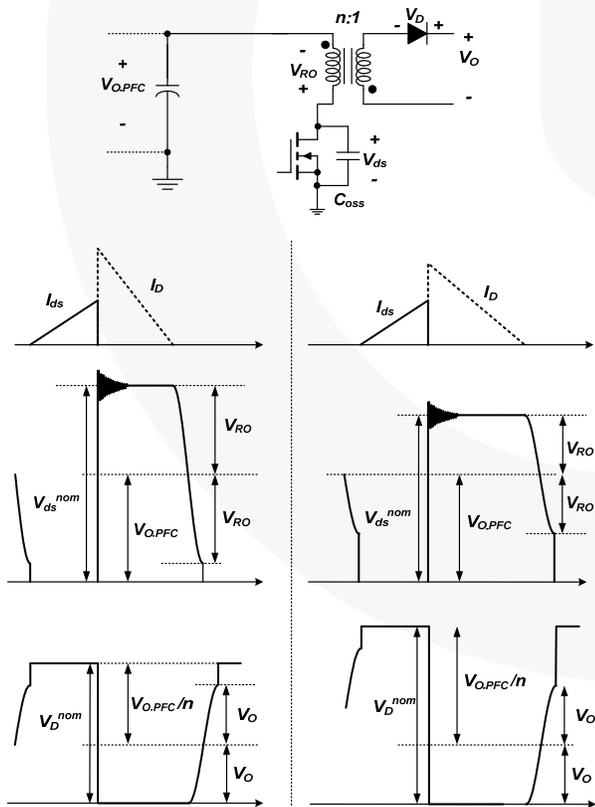


図 11. QR フライバックコンバーターの標準波形

**(設計例)** 650V MOSFET および 100V MOSFET がそれぞれ、一次側、二次側に使用されたとし、18%のマージンを考慮して:

$$0.82 \cdot 650V > V_{DS}^{nom} = V_{O.PFC} + V_{RO}$$

$$\therefore V_{RO} < 0.82 \cdot 650 - V_{O.PFC} = 133V$$

$$0.82 \cdot 100 > V_D^{nom} = V_O + \frac{V_{O.PFC}}{V_{RO}} (V_O + V_F)$$

$$\therefore V_{RO} > V_D^{nom} = \frac{V_{O.PFC}}{0.82 \cdot 100 - V_O} (V_O + V_F) = 121V$$

$V_{RO}$  は 130V に決まります。

### [STEP-B2] トランス設計

図 12 に標準的な擬似共振コンバーターのスイッチング波形を示します。MOSFET の導通期間 ( $t_{ON}$ )、ダイオードの導通期間 ( $t_D$ )、そしてドレイン電位の立ち下り時間 ( $t_F$ ) の合計がスイッチング周期 ( $t_S$ ) になります。一次側インダクタンス ( $L_m$ ) を求めるには、以下のパラメーターを先に決める必要があります。

#### 最小スイッチング周波数 ( $f_{S,QR}^{min}$ )

最小スイッチング周波数は入力電圧が最小で、全負荷の時に発生し、その値は可聴ノイズを防ぐため 20kHz を下回らないようにします。 $f_{S,QR}^{min}$  を大きくすると、トランスのサイズを小さくすることができますが、その結果、スイッチング損失が増加します。 $f_{S,QR}^{min}$  はスイッチング損失とトランス・サイズのトレードオフにより決めることとなります。標準的に  $f_{S,QR}^{min}$  は 50kHz 程度に設定します。

#### MOSFET ドレイン電圧立ち下り時間 ( $t_F$ )

図 12 に示すように MOSFET ドレイン電圧の立ち下り時間は、MOSFET の等価出力容量および一次側インダクタンスによる共振周期の半分です。標準的に  $t_F$  の値は 0.6~1.2 $\mu$ s です。

#### MOSFET の非導通期間 ( $t_{OFF}$ )

FAN6921 では MOSFET の最小非導通期間 (8 $\mu$ s) が設定されていて、この間 MOSFET はオンになることはできません。効率を最大にするためには、重負荷時、MOSFET のドレイン・ソース間電圧が最初の谷に達する時 MOSFET をオンにする必要があります。それでも、重負荷時、MOSFET の非導通期間は 8 $\mu$ s 以上でなければなりません。

$f_{S,QR}^{min}$  および  $t_F$  が決まると、最大デューティサイクルは以下の式により求められます:

$$D_{max} = \frac{V_{RO}}{V_{RO} + V_{O.PFC.L}} \cdot (1 - f_{S,QR}^{min} \cdot t_F) \quad (22)$$

従って、一次側インダクタンスは次式で求められます:

$$L_m = \frac{\eta_{QR} \cdot (V_{O.PFC.L} \cdot D_{max})^2}{2 \cdot f_{S,QR}^{min} P_{OUT}} \quad (23)$$

$L_m$  が決まると、通常動作時におけるMOSFETの最大ピーク電流および実効値電流が以下の式により求められます：

$$I_{DS}^{PK} = \frac{V_{O.PFC.L} \cdot D_{max}}{L_m f_{S.QR}^{min}} \quad (24)$$

$$I_{DS}^{RMS} = I_{DS}^{PK} \sqrt{\frac{D_{max}}{3}} \quad (25)$$

重負荷、ローライン入力時のMOSFET非導通期間は次式で与えられます：

$$t_{OFF.L} = \frac{(1 - D_{max})}{f_{S.QR}^{min}} \quad (26)$$

重負荷、ハイライン入力時のMOSFET非導通期間は次式で与えられます：

$$t_{OFF.H} = t_{OFF.L} \cdot \frac{V_{O.PFC.L}}{V_{O.PFC.H}} \cdot \frac{V_{O.PFC.H} + V_{RO}}{V_{O.PFC.L} + V_{RO}} \quad (27)$$

重負荷、ハイライン入力時、最初の谷でスイッチングを行う場合、 $t_{OFF.H}$  が  $8\mu\text{s}$  以上であることが必要です。

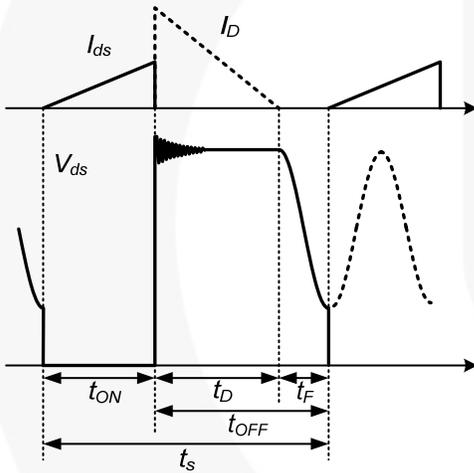


図 12. QRフライバックコンバーターの標準スイッチング波形

トランスを設計する場合、通常動作時の最大磁束密度変化 ( $\Delta B$ ) と同時に、瞬時的に発生する最大磁束密度 ( $B_{max}$ ) も考慮する必要があります。通常動作時の最大磁束密度変化はコアのヒステリシス損に、一方、最大磁束密度はコアの飽和にそれぞれ関係しています。

トランスの一次側巻き線の最小巻き数はコアの過熱を防ぐよう考慮し、次式により求めます：

$$N_p^{min} = \frac{L_m I_{DS}^{PK}}{A_e \Delta B} \quad (28)$$

ここで  $\Delta B$  は最大磁束密度変化で単位[Tesla]で表します。参照データが無い場合、標準的に  $\Delta B = 0.25 \sim 0.30\text{T}$  を使用します。

一次側巻き線の最小巻き数を決めた後、次式より  $N_p$  が  $N_p^{min}$  よりも大きくなるような整数値  $N_s$  を求めます：

$$N_p = n \cdot N_s > N_p^{min} \quad (29)$$

$V_{DD}$  用補助巻き線の巻き数は次式により求めます：

$$N_{AUX} = \frac{V_{DD}^{nom} + V_{FA}}{(V_O + V_F)} \cdot N_s \quad (30)$$

ここで、 $V_{DD}^{nom}$  は公称  $V_{DD}$  電圧値で、標準的に  $18\text{V}$  です。また、 $V_{FA}$  は  $V_{DD}$  ダイオードの順方向ドロップ電圧です。

一次側巻き線の巻き数が決まった後、トランスが瞬時的、またはフォールト状態時でも飽和しないことを確かめる為、ドレイン電流がパルス毎の電流制限レベルに達した時の最大磁束密度をチェックします。

ドレイン電流が  $I_{LIM}$  に達した時の最大磁束密度 ( $B_{max}$ ) は以下の式で得られます：

$$B_{max} = \frac{L_m I_{LIM}}{A_e N_p} < B_{sat} \quad (31)$$

$B_{max}$  は飽和磁束密度以下にします。飽和磁束密度の参照データがない場合、 $B_{sat} = 0.35 \sim 0.40\text{T}$  を使用します。

**(設計例)** 最小スイッチング周波数を  $52\text{kHz}$ 、立下り時間を  $0.8\mu\text{s}$  とすると：

$$D_{max} = \frac{V_{RO}}{V_{RO} + V_{O.PFC.L}} \cdot (1 - f_{S.QR}^{min} \cdot t_F) = \frac{130}{130 + 260} \cdot (1 - 52 \times 10^3 \cdot 0.8 \times 10^{-6}) = 0.319$$

$$L_m = \frac{\eta_{QR} \cdot (V_{O.PFC.L} \cdot D_{max})^2}{2 \cdot f_{S.QR}^{min} P_o} = \frac{0.95 \cdot (260 \cdot 0.319)^2}{2 \cdot 52 \times 10^3 \cdot 90} = 700 \mu\text{H}$$

$$I_{DS}^{PK} = \frac{260 \cdot 0.319}{700 \times 10^{-6} \cdot 52 \times 10^3} = 2.28\text{A}$$

$$t_{OFF.L} = \frac{(1 - D_{max})}{f_{S.DD}^{min}} = \frac{1 - 0.319}{52 \times 10^3} = 13 \mu\text{s}$$

$$t_{OFF.H} = t_{OFF.L} \cdot \frac{V_{O.PFC.L}}{V_{O.PFC.H}} \cdot \frac{V_{O.PFC.H} + V_{RO}}{V_{O.PFC.L} + V_{RO}} = 13 \mu\text{s} \cdot \frac{260}{400} \cdot \frac{400 + 130}{260 + 130} = 11.48 \mu\text{s} > 8 \mu\text{s}$$

POT3319 ( $A_e = 159\text{mm}^2$ ) コアを使用し、磁束変化量を  $0.26\text{T}$  とすると：

$$N_p^{\min} = \frac{L_m I_{DS}^{PK}}{A_e \Delta B} = \frac{700 \times 10^{-6} \cdot 2.28}{159 \times 10^{-6} \cdot 0.26} = 38.6$$

$$N_p = n \cdot N_s = 6.84 \cdot 5 = 34 < N_p^{\min}$$

$$= n \cdot N_s = 6.84 \cdot 6 = 41 > N_p^{\min}$$

$$N_{AUX} = \frac{V_{DD}^{nom} + V_{FA}}{(V_O + V_F)} \cdot N_s = \frac{18 + 1.2}{19} \cdot 6 = 6$$

ローラインPFC出力時、パルス毎の電流制限値が重負荷時のドレイン電流の125%であるとして:

$$B_{max} = \frac{L_m I_{LIM}}{A_e N_p} = \frac{700 \cdot 2.28 \cdot 1.25}{159 \cdot 41} = 0.31T$$

### [STEP-B3] バレー(谷底)検出回路設計

MOSFET電圧のバレー部分の検出はDET端子より流れ出る電流値をセンスすることで行います。図13および図14に標準的なアプリケーション回路図と波形をそれぞれ示します。DET端子はその内部にプラス、マイナス両方向にそれぞれ5V、0.7Vのクランプ回路を備えています。バレー検出回路はMOSFETがオフした後8μsの間ブランキングされます。V<sub>AUX</sub>の電位がゼロ以下になるとV<sub>DET</sub>は0.7Vにクランプされ、電流がDET端子より流れ出します。DET端子から流れ出る電流の値が30μAを超えるとMOSFETは200nsの遅延時間の後オンします。DET端子が0.7Vにクランプされた時にバレー検出回路が確実にトリガーするよう、以下の式で、R<sub>DET2</sub>に流れる電流を30μA以上にします。

$$\frac{0.7}{R_{DET2}} > 30\mu A \quad (32)$$

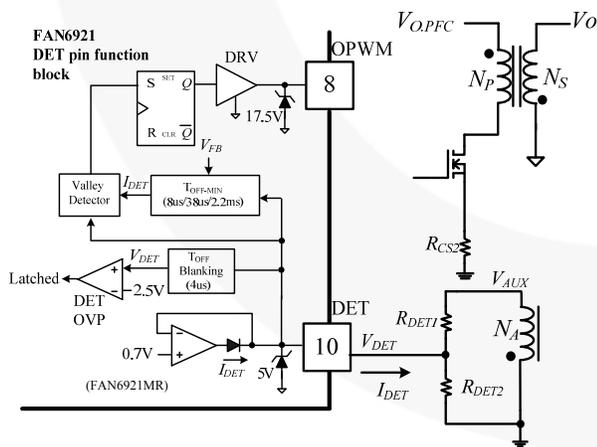


図13. DET端子 - 標準アプリケーション回路

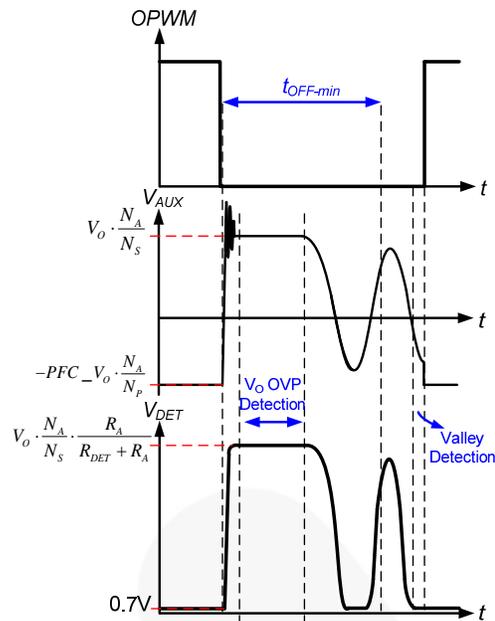


図14. バレー検出およびV<sub>O</sub> OVP検出の動作波形

MOSFETがオフしている間、過電圧保護の目的で出力電圧はDET端子電圧を使い間接的にモニターされます。従って、R<sub>DET1</sub>およびR<sub>DET2</sub>の関係は以下のようになります:

$$2.5 = \frac{R_{DET2}}{R_{DET1} + R_{DET2}} \cdot \frac{N_A}{N_s} V_{OVP} = \frac{1}{K_{DET} + 1} \cdot \frac{N_A}{N_s} V_{OVP} \quad (33)$$

ここで、R<sub>DET1</sub>とR<sub>DET2</sub>の比、K<sub>DET</sub>は次式で与えられます:

$$K_{DET} = \frac{R_{DET1}}{R_{DET2}} = \frac{N_A}{N_s} \cdot \frac{V_{OVP}}{2.5} - 1 \quad (34)$$

擬似共振フライバックコンバーターでは、ある既定の出力電力に対し、入力電圧が増加すると、ドレイン電流のピーク値は減少します。従ってパルス毎の電流制限回路で一定のしきい値を設定することにより出力電力制限を達成することができません。FAN6921では入力電圧の増加に伴いパルス毎の電流制限レベルを下げることで、ハイ/ローライン・オーバーパワー補正回路を実現しています。FAN6921は、MOSFETがオンしている期間、DET端子から流れ出る電流を用いて入力電圧を検出します。図16にパルス毎の電流制限レベルとDET端子の電流値との関係を示します。

ローラインおよびハイライン入力電圧でのPFC出力電圧に対するDET端子電流はそれぞれ次式で与えられます:

$$I_{DET.L} = \frac{V_{O.PFC.L} \frac{N_A}{N_p} + 0.7}{R_{DET1}} + \frac{0.7}{R_{DET2}} \cong \frac{V_{O.PFC.L} \frac{N_A}{N_p}}{R_{DET1}} \quad (35)$$

$$I_{DET.H} = \frac{V_{O.PFC.H} \frac{N_A}{N_p} + 0.7}{R_{DET1}} + \frac{0.7}{R_{DET2}} \cong \frac{V_{O.PFC.H} \frac{N_A}{N_p}}{R_{DET1}} \quad (36)$$

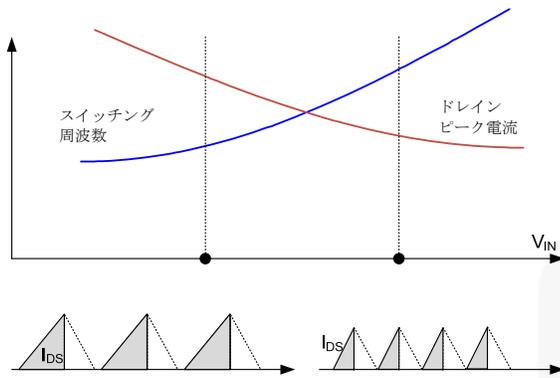


図 15. 入力電圧の増加に伴うスイッチング周波数とドレインピーク電流の変化

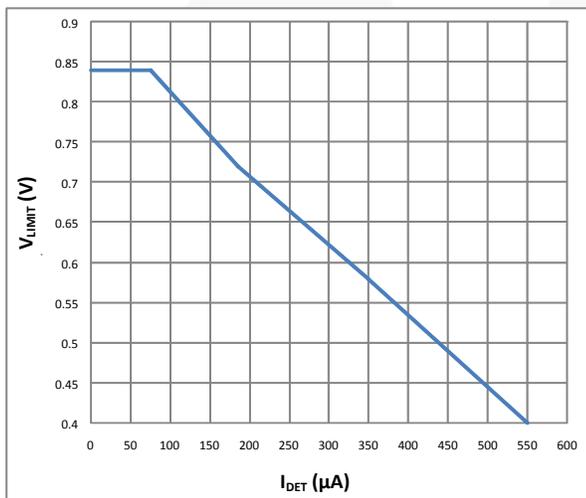


図 16.  $I_{DET}$ - $V_{LIMIT}$  カーブ

リニア領域( $I_{DET}=100\sim 500\mu A$ )での $I_{DET}$ と $V_{LIMIT}$ との関係は以下のように表せます:

$$V_{LIMIT} = -877 \cdot I_{DET} + 0.882 \quad (37)$$

ある出力電力が与えられた時、ローラインとハイライン入力時のドレイン電流比は次式で与えられます:

$$\frac{I_{DS}^{PK.L}}{I_{DS}^{PK.H}} = \frac{V_{O.PFC.H}}{V_{O.PFC.L}} \cdot \frac{V_{O.PFC.L} + V_{RO}}{V_{O.PFC.H} + V_{RO}} \quad (38)$$

ある出力電力が与えられた時、ローラインとハイラインにおけるパルス毎の電流制限レベルの比は次式で与えられます:

$$\frac{V_{LIMIT.L}}{V_{LIMIT.H}} \cong \frac{-994 \cdot V_{O.PFC.L} \frac{N_A}{N_P} + R_{DET1}}{-994 \cdot V_{O.PFC.H} \frac{N_A}{N_P} + R_{DET1}} \quad (39)$$

定電力制限を得る為、式 (38) と式 (39) の値が等しくなるように $R_{DET1}$ を決めます。しかし、実際にはパルス毎の立下がり遅

延時間とローライン入力におけるPFC出力のリプル波形を考慮して式(38)の値の105~120%を使用します。

$R_{DET1}$ および $R_{DET2}$ を決めた後、電流制限のしきい値は次式で求められます:

$$V_{LIMIT} = -877 \cdot \left( \frac{V_{O.PFC.L} \frac{N_A}{N_P} + 0.7}{R_{DET1}} + \frac{0.7}{R_{DET2}} \right) + 0.882 \quad (40)$$

電流センス抵抗は次式で求められます:

$$R_{CS2} = \frac{V_{LIMIT}}{I_{DS}^{LIM}} \quad (41)$$

### (設計例)

$$\frac{0.7}{R_{DET2}} > 30\mu A, \quad R_{DET2} < 23.3k\Omega$$

OVPのしきい値を22.5Vとして、

$$K_{DET} = \frac{R_{DET1}}{R_{DET2}} = \frac{N_A}{N_S} \cdot \frac{V_{OVP}}{2.5} - 1 = \frac{6}{6} \cdot \frac{22.5}{2.5} - 1 = 8$$

$$\text{即ち、} R_{DET1} = K_{DET} \cdot R_{DET2} < 196k\Omega$$

$$\begin{aligned} \frac{I_{DS}^{PK.L}}{I_{DS}^{PK.H}} &= \frac{V_{O.PFC.H}}{V_{O.PFC.L}} \cdot \frac{V_{O.PFC.L} + V_{RO}}{V_{O.PFC.H} + V_{RO}} \\ &= \frac{400}{260} \cdot \frac{260 + 130}{400 + 130} = 1.13 \end{aligned}$$

1.13の116%を用いて、

$$\frac{V_{LIMIT.L}}{V_{LIMIT.H}} = 1.31 \cong \frac{-994V_{O.PFC.L} \frac{N_A}{N_P} + R_{DET1}}{-994 \cdot V_{O.PFC.H} \frac{N_A}{N_P} + R_{DET1}}$$

$$\begin{aligned} &= \frac{-994 \cdot \frac{260}{6.8} + R_{DET1}}{-994 \cdot \frac{400}{6.8} + R_{DET1}} = \frac{-38,018 + R_{DET1}}{-58,490 + R_{DET1}} \end{aligned}$$

従って、 $R_{DET1} = 124.5k\Omega$  および  $R_{DET2} = 15.6k\Omega$

入手しやすい抵抗値から、 $R_{DET1}$ および $R_{DET2}$ をそれぞれ120k $\Omega$ と15k $\Omega$ とします。

更に、パルス毎の電流制限のしきい値電圧は以下のように求められます。

$$\begin{aligned} V_{LIMIT} &= -877 \cdot \left( \frac{V_{O.PFC.L} \frac{N_A}{N_P} + 0.7}{R_{DET1}} + \frac{0.7}{R_{DET2}} \right) + 0.882 \\ &= 0.56V \end{aligned}$$

ローライン入力時の電流制限レベルを $I_{DS}^{PK}$ の125%に設定すると、

$$\frac{0.56}{2.28A \times 1.25} = 0.2\Omega$$

### [STEP-B4] フィードバック回路の設計

図 17 にシャントレギュレータおよびオプトカップラーで構成される標準的なフィードバック回路を示します。R<sub>O1</sub> と R<sub>O2</sub> は定電圧出力を得るための分圧回路です。R<sub>F</sub> および C<sub>F</sub> は制御ループの位相補償回路です。FB 端子と GND 間に接続される RC フィルター (R<sub>FB</sub> = 100Ω, C<sub>FB</sub> = 1nF) は安定性の向上に大きく貢献します。FB 端子から流れるソース電流の最大値は約 1.2mA なので、フォトトランジスターは無負荷時に FB 端子のレベルを引き下げる為、少なくともこの電流値をシンクできる能力が必要です。バイアス用抵抗 R<sub>BIAS</sub> の値は以下の式により求められます：

$$\frac{V_O - V_{OPD} - V_{KA}}{R_{BIAS}} \cdot CTR > 1.2 \times 10^{-3} \quad (42)$$

ここで V<sub>OPD</sub> はフォトダイオードのドロップ電圧で約 1.2V、V<sub>KA</sub> はシャントレギュレータのアノード-カソード間電圧の最小値 (2.5V) です。また、CTR はオプトカップラーの電流伝達率です。

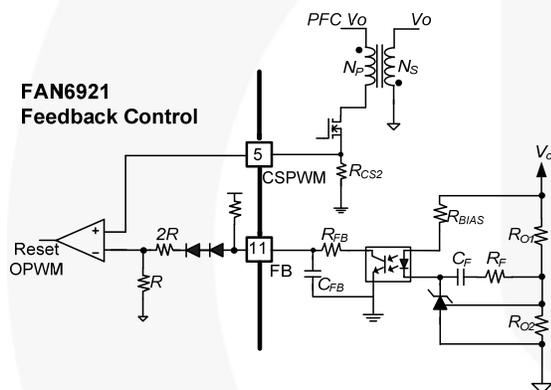


図 17. フィードバック回路

(設計例) CTR が 100% であるとして、

$$\frac{V_O - V_{OPD} - V_{KA}}{R_{BIAS}} \cdot CTR > 1.2 \times 10^{-3}$$

$$R_{BIAS} < \frac{V_O - V_{OPD} - V_{KA}}{1.2 \times 10^{-3}} = \frac{19 - 1.2 - 2.5}{1.2 \times 10^{-3}} = 12.75 \text{ k}\Omega$$

R<sub>BIAS</sub> に 220Ω を用います。

V<sub>O</sub> をセンスする為用いる分圧抵抗は 68kΩ と 10kΩ に設定します。

### [STEP-B5] 過熱保護回路の設計

図 18 にトリガレベル可変の過熱保護回路 (OTP) を示します。図に示すように定電流源 (I<sub>RT</sub>) が RT 端子内部に接続されています。V<sub>RT</sub> 電位が 10ms のデバウンス期間を過ぎて 0.8V 以下を継続した場合、FAN6921 はラッチモードでオフします。R<sub>RT</sub> は次式により求められます。

$$0.8\text{V} = (R_{RT} + R_{NTC@OT}) \times 100\mu\text{A} \quad (43)$$

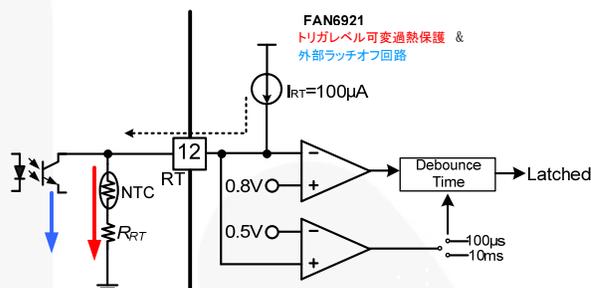


図 18. トリガレベル可変過熱保護回路および外部ラッチオフ回路

(設計例) 過熱保護が動作する時点の NTC の抵抗値を 4.3kΩ とすると：

$$R_{RT} = \frac{0.8\text{V}}{100\mu\text{A}} - 4.3\text{k}\Omega = 3.7\text{k}\Omega$$

## 設計例の最終回路

ここでは、これまでの設計例をまとめています。表 1に主要システム規格を、また、表 2に主要設計パラメータを示します。図 19に最終回路図を示します。スタートアップ時、 $V_{DD}$  に対し十分なホールドアップ時間を維持するため、二段の $V_{DD}$ 用バイアス回路を採用しています。

表 1. システム規格

Input	
入力電圧範囲	90~264V <sub>AC</sub>
ライン周波数範囲	47~63Hz
Output	
出力電圧( $V_O$ )	19V
出力電力( $P_O$ )	90W

表 2. 主要設計パラメータ

PFC Stage	
PFC 出力電圧レベル1 ( $V_{O,PFC,L}$ )	260V
PFC 出力電圧レベル2 ( $V_{O,PFC,L}$ )	400V
PFC インダクター ( $L_{BOOST}$ )	385 $\mu$ H
PFC インダクター巻き数 ( $N_{BOOST}$ )	60T
ZCD 補助巻き線巻き数 ( $N_{ZCD}$ )	8T
最小スイッチング周波数 ( $f_{S,PFC}^{min}$ )	55kHz
PWM Stage	
PWM トランス一次側インダクター巻き数 ( $N_P$ )	41T
PWM トランス補助巻き線巻き数 ( $N_{AUX}$ )	6T
PWM トランス巻き線比 ( $n$ )	6.8
一次側インダクター ( $L_P$ )	700 $\mu$ H
最小スイッチング周波数 ( $f_{S,QR}^{min}$ )	52kHz

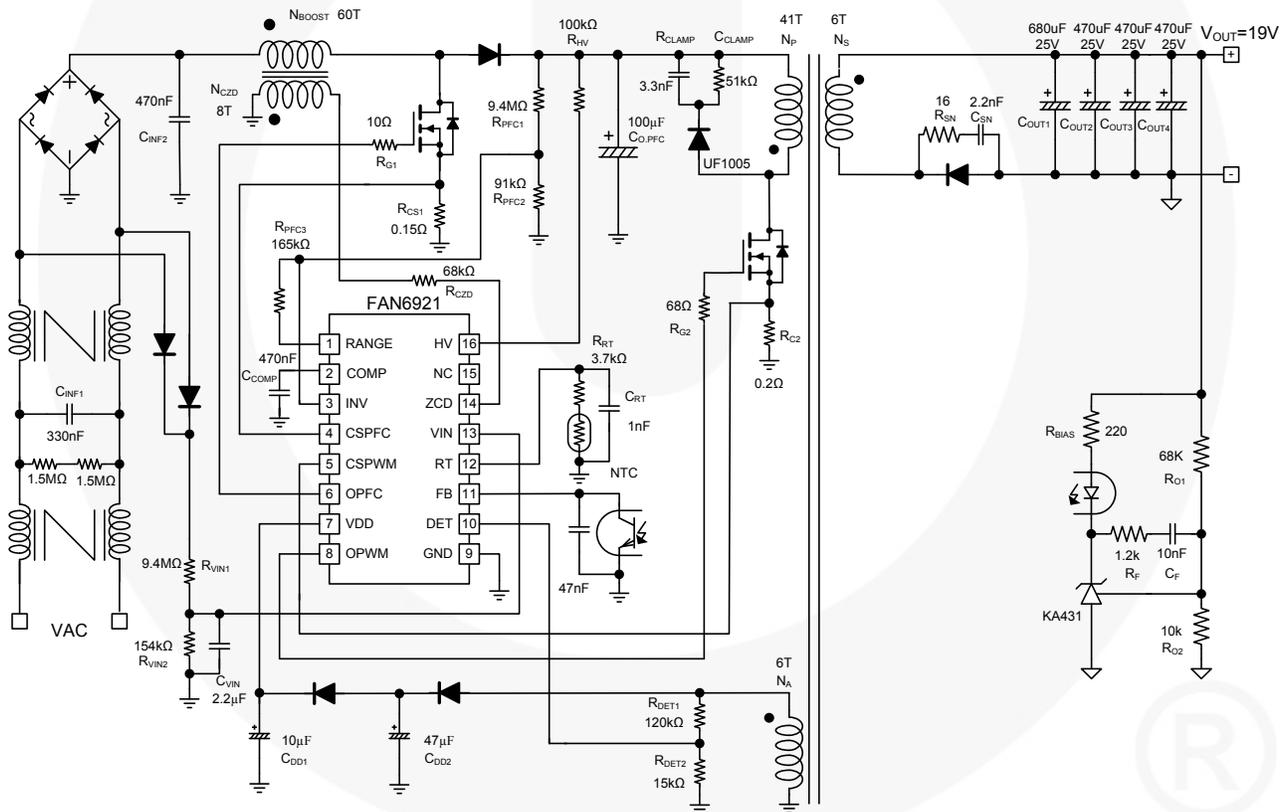


図 19. 設計例 - 最終回路

## 実験室での注意事項

電源回路を修正、あるいは半田付け/外しをする場合、前もって主コンデンサを外部の抵抗を用いて放電させてください。これを怠ると、PWM ICは外部からの高電圧により損傷する場合があります。

このデバイスは静電気放電 (ESD)に対して敏感です。量産歩留まりを改善するため、量産ラインは以下に示す標準規格で要求されるESD保護対策を施すようにしてください。ANSI ESD S1.1, ESD S1.4, ESD S7.1, ESD STM 12.1、および EOS/ESD S6.1。

## プリント基板レイアウト

プリント基板の設計およびレイアウトは、高いdv/dt、di/dtの電圧および電流変化を伴うスイッチング電源にとって大変重要です。優れたプリント基板レイアウトはEMIを抑え電源回路がサージ/ESDテストから受ける影響を防ぎます。

### ガイドライン

#### IC側:

- COMP、INV、CSPFC、およびCSPWM端子の基準となるGNDは一緒にまとめ、ICのGNDに直接接続します。
- VIN、RT、FB、and DET 端子の基準となるGNDはそれぞれICのGNDに直接接続します。
- IC周辺の小さなコンデンサはICに直接接続します。
- CSPFC、CSPWM、OPFC、およびOPWM の配線ラインはノイズの干渉を避けるため、平行に走ることを避け、お互いに近付け過ぎないこと。
- ICのGND端子、 $C_{Bulk}$  のグラウンド、PWMトランスの補助巻き線のグラウンド接続について:

**アプローチ1:** 補助巻き線グラウンド → ICのGND端子 →  $C_{Bulk}$  のグラウンド

**アプローチ2:** ICのGND端子 → 補助巻き線グラウンド →  $C_{Bulk}$  のグラウンド ( トレース2 → トレース1 → トレース3).

**アプローチ3:** ICのGND端子 →  $C_{Bulk}$  のグラウンドと補助巻き線グラウンド →  $C_{Bulk}$  のグラウンド

#### システム側:

##### PFCブロック

- PFCチョークの補助巻き線と $R_{CS,PFC}$  は $C_{Bulk}$ のグラウンドに個々に接続します。(トレース4 およびトレース5).
- ブリッジダイオードおよびC-L-Cフィルターのグラウンドは $C_{Bulk}$ のグラウンドに直接接続します。
- PFCチョーク、PFCダイオード、PFC MOSFET、 $R_{CS,PFC}$ 、そして $C_{Bulk}$  で構成される電流ループはできるだけ短く配線します。(ループ7)

##### PWMブロック

- $R_{CS}$  は $C_{Bulk}$ のグラウンドに直接接続します。また、配線はできるだけ太く短くしてください。(トレース6).
- $C_{Bulk}$ 、トランス、PWM MOSFET、および $R_{CS}$  で構成される電流ループの配線はできるだけ短くしてください(ループ8).
- RCDスナバ回路はトランスおよびPWM MOSFETにできるだけ近づけて配線します。
- オプトカプラーのグラウンドはICのGND端子に接続します。
- 二次側で、トランス、ショットキーダイオード、出力コンデンサで構成される電流ループの配線は出来る限り短くします。(ループ9).
- Y-キャパシタの接続について:

**アプローチ1:** Y-キャパシタの一次側グラウンド →  $C_{Bulk}$  のグラウンド → ブリッジダイオードのグラウンド

**アプローチ2:** Y-キャパシタの一次側グラウンド → ブリッジダイオードのグラウンド →  $C_{Bulk}$  のグラウンド

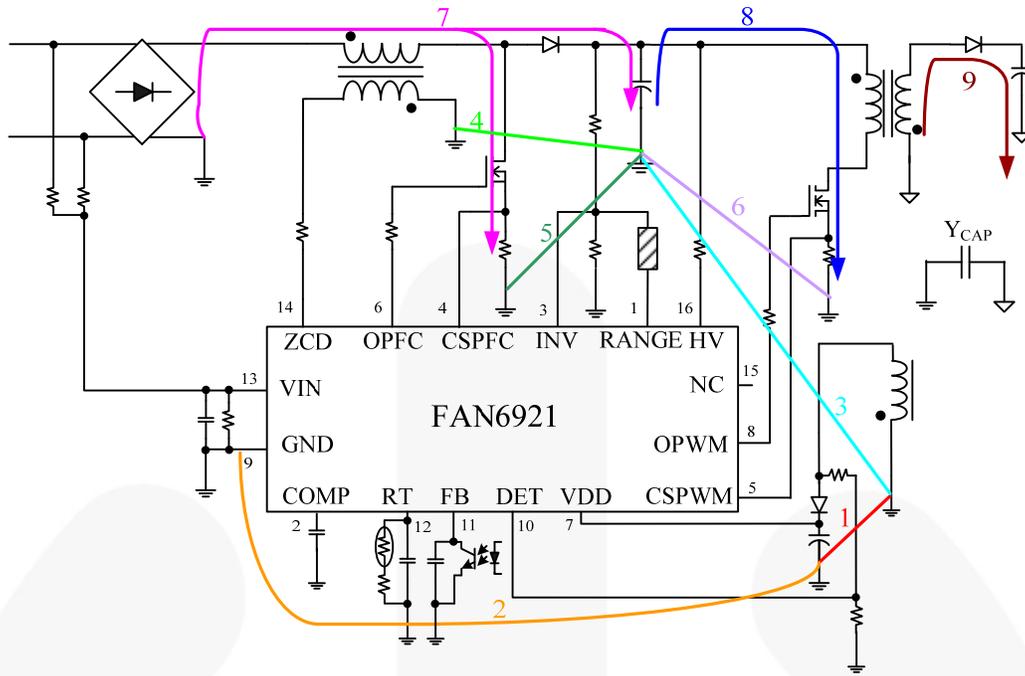


図 20. 基板レイアウトの注意点

## 参考資料

[FAN6921MR — Integrated Critical Mode PFC and Quasi-Resonant Current Mode PWM Controller](#)

[FAN6921ML — Integrated Critical Mode PFC/Quasi-Resonant Current Mode PWM Controller](#)

### 注意事項

フェアチャイルドセミコンダクタは、本書に記載したすべての製品に対して、信頼性、機能、及びデザインを改善する為に予告なしに変更する権利を所有しています。また、フェアチャイルドはここに記載した製品或いは回路の使用及び応用に起因するいかなる債務を負うものではなく、また、当社の特許権または第三者の権利に基づくライセンスを許諾するものではありません。

### 生命維持装置への使用について

フェアチャイルドセミコンダクタの製品はフェアチャイルドセミコンダクタコーポレーション社長の書面による承諾がない限り生命維持装置または生命維持システム内の重要な部品に使用することは認められていません。

ここで、

1. 生命維持装置または生命維持システムとは、(a) 外科的に体内に埋め込まれて使用されることを意図したもの、(b) 生命を維持或いは支持するもの、(c) ラベルに表示された使用法に従って適切に使用された場合にその不具合が使用者に重大な損傷をもたらすことが合理的に予想されるもの、をいいます。
2. 重要な部品とは、生命維持装置或いは生命維持システム内のあらゆる部品を指し、これらの不具合が生命維持装置或いは生命維持システムの不具合の原因に、またはその安全性および効果に影響を及ぼす原因になるものと合理的に予想されるものをいいます。

ON Semiconductor and  are trademarks of Semiconductor Components Industries, LLC dba ON Semiconductor or its subsidiaries in the United States and/or other countries. ON Semiconductor owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of ON Semiconductor's product/patent coverage may be accessed at [www.onsemi.com/site/pdf/Patent-Marking.pdf](http://www.onsemi.com/site/pdf/Patent-Marking.pdf). ON Semiconductor reserves the right to make changes without further notice to any products herein. ON Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does ON Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using ON Semiconductor products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by ON Semiconductor. "Typical" parameters which may be provided in ON Semiconductor data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. ON Semiconductor does not convey any license under its patent rights nor the rights of others. ON Semiconductor products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use ON Semiconductor products for any such unintended or unauthorized application, Buyer shall indemnify and hold ON Semiconductor and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that ON Semiconductor was negligent regarding the design or manufacture of the part. ON Semiconductor is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

## PUBLICATION ORDERING INFORMATION

### LITERATURE FULFILLMENT:

Literature Distribution Center for ON Semiconductor  
19521 E. 32nd Pkwy, Aurora, Colorado 80011 USA  
**Phone:** 303-675-2175 or 800-344-3860 Toll Free USA/Canada  
**Fax:** 303-675-2176 or 800-344-3867 Toll Free USA/Canada  
**Email:** [orderlit@onsemi.com](mailto:orderlit@onsemi.com)

**N. American Technical Support:** 800-282-9855 Toll Free  
USA/Canada  
**Europe, Middle East and Africa Technical Support:**  
Phone: 421 33 790 2910  
**Japan Customer Focus Center**  
Phone: 81-3-5817-1050

**ON Semiconductor Website:** [www.onsemi.com](http://www.onsemi.com)  
**Order Literature:** <http://www.onsemi.com/orderlit>  
For additional information, please contact your local  
Sales Representative